

특2002-0021362

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/20

(11) 공개번호 특2002-0021362
(43) 공개일자 2002년03월20일

(21) 출원번호	10-2001-0056797
(22) 출원일자	2001년09월14일
(30) 우선권주장	JP-P-2000-00279810 2000년09월14일 일본(JP)
(71) 출원인	샤프 가부시카가이샤 마찌다 가즈히코 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고 마찌다카즈히로
(72) 발명자	일본 나라켄 나라시후루미치 초2339-1-에이203 쿠보타야수시 일본 나라켄 사쿠라미시마사쿠라다이니시5-1093-267 와시오하지메 일본 나라켄 덴리시 이치노모토 초2613-1-1-107
(74) 대리인	백덕열, 이태희

심사청구 : 있음

(54) D/A 변환회로 및 이를 이용한 화상표시장치

요약

전하배분형의 D/A 변환회로는, 각각의 커패시턴스가 순차 증가하고, 일단이 공통으로 접속된 복수의 커패시터를 구비한다. 상기 회로는 또, 상기 복수의 커패시터의 각각의 타단에 외부로부터 입력된 디지털 신호에 따른 기준전위를 접속하기 위한 복수의 아날로그 스위치도 구비하고 있다. 상기 아날로그 스위치의 구동능력은 순차 증가한다.

도면

도1

명세서

도면의 간단한 설명

- 도1은 본 발명의 제1 실시예에 따른 D/A 변환회로의 기본구성을 도시한다.
도2는 본 발명의 제2 실시예에 따른 D/A 변환회로의 구성을 도시한다.
도3은 본 발명의 제3 실시예에 따른 D/A 변환회로의 구성을 도시한다.
도4는 본 발명의 제4 실시예에 따른 D/A 변환회로의 구성을 도시한다.
도5는 본 발명의 제5 실시예에 따른 D/A 변환회로의 구성을 도시한다.
도6은 본 발명의 제6 실시예에 따른 D/A 변환회로의 구성을 도시한다.
도7은 상기 D/A 변환회로의 동작 시뮬레이션 결과를 도시한다.
도8은 상기 D/A 변환회로 내의 하위 4비트의 실제 레이아웃을 도시한다.
도9는 본 발명의 제7 실시예에 따른 화상표시장치의 구성을 도시한다.
도10은 본 발명의 화상표시장치의 데이터신호선 구동회로 내의 기본 블록을 도시한다.
도11은 상기 화상표시장치의 구성 소자인 다결정실리콘 박막트랜지스터의 단면구조를 도시한다.
도12a, 도12b, 도12c, 도12d 및 도12e는 상기 다결정실리콘 박막트랜지스터의 제조공정의 예를 도시한다.
도13a, 도13b, 도13c 및 도13d는 도12e에 도시한 공정의 다음 제조공정을 도시한다.
도14a 및 도14b는 도13d에 도시한 공정의 다음 제조공정을 도시한다.
도15는 본 발명의 제8 실시예에 따른 D/A 변환회로의 구성을 도시한다.

- 도16은 상기 D/A 변환회로 내의 하위 4비트의 실제 레이아웃을 도시한다.
 도17은 본 발명의 제9 실시예에 따른 D/A 변환회로의 구성을 도시한다.
 도18은 종래의 D/A 변환회로의 구성을 도시한다.
 도19는 상기 D/A 변환회로의 동작 시뮬레이션 결과를 도시한다.
 도20은 종래의 액티브 매트릭스형 화상표시장치의 구성을 도시한다.
 도21은 종래의 데이터신호선 구동회로의 기본 블록의 구성을 도시한다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 디지털량을 아날로그량으로 변환하는 D/A(디지털/아날로그) 변환회로, 및 그 D/A 변환회로를 사용하여 디지털화상신호에 기초하여 화상을 표시하는 화상표시장치에 관한 것이다.

D/A 변환회로를 사용한 종래의 화상표시장치 중 하나는 액정을 사용한 액티브 매트릭스의 화상표시장치로서, 그 구조를 도20에 개략적으로 도시한다. 도20에 도시한 바와 같이, 상기 화상표시장치는 매트릭스 형태로 배열된 복수의 화소(PIX)로 구성된 화소어레이(PIXARY), 주사신호선 구동회로(BO), 데이터신호선 구동회로(SD), 화소(PIX)의 행방향으로 배열된 복수의 주사신호선(GL1~GLy), 및 화소(PIX)의 열방향으로 배열된 복수의 데이터신호선(SL1~SLx)을 포함한다. 상기 데이터신호선 구동회로(SD)는, 제어신호 발생부(CTB)에 의해 발생된 클럭 신호(CKS), 스타트 신호(SPS) 등의 타이밍신호에 동기하여, 입력된 디지털 화상 데이터인 디지털 신호(DAT)를 샘플링한다. 그 후, 회로(SD)는 필요에 따라, 샘플링된 디지털 신호(DAT)를 증폭하여, 각 데이터신호선(SL1~SLx)에 아날로그 화상데이터인 데이터신호를 출력한다. 상기 주사신호선 구동회로(BO)는, 제어신호발생부(CTB)에 의해 발생된 클럭 신호(CKG) 등의 타이밍신호에 동기하여, 주사신호선(GL1~GLy)을 선택하여, 각 화소(PIX)에 제공된 스위칭소자의 ON/OFF를 행한다. 따라서, 각 데이터신호선(SL1~SLx)에 출력된 데이터신호를 화소(PIX)에 기입한다. 각 화소(PIX)에 제공된 커패시터는 기입된 데이터신호를 유지한다.

지금까지, 데이터신호선 구동회로(SD) 및 주사신호선 구동회로(BO)는, 일반적으로 화소어레이(PIXARY)가 형성된 절연성 기판과 별도로 외부 IC로서 제공되고 있다. 최근, 설장비용을 저감시키고, 설장의 신뢰성을 향상시키기 위해, 화소어레이와 데이터신호선 구동회로 및 주사신호선 구동회로 전체를 절연성 기판상에 모듈리식으로 형성하는 기술이 보고되어 있다.

액티브 매트릭스형 화상표시장치의 데이터신호선 구동회로의 구성을 설명한다. 상기 데이터신호선 구동회로는, 입력되는 디지털 신호(디지털 화상데이터)가 하이 레벨을 갖는지 또는 로우 레벨을 갖는지에 따라 절환되는 스위칭회로를 통해, 외부로부터 입력되는 기준전압을 커패시터 어레이에 인가하고, 상기 인가된 전압에 따른 전하(Q)를 그 곳에 유지하는 D/A 변환회로를 사용한다. 설명의 편의상, 8비트 신호가 상기 데이터신호선 구동회로에 입력된다고 가정한다.

도21은 상기 데이터신호선 구동회로(SD)의 기본 블록을 도시한다. 도21에 도시한 바와 같이, 1단, 즉 하나의 데이터신호선(SL)에 대해, 상기 데이터신호선 구동회로(SD)는, 1 주사회로(SR), 입력 디지털 신호(DAT1~DAT8)의 레벨(하이 또는 로우) 및 주사 회로(SR)로부터의 출력에 따른 스위칭 동작을 행하는 스위칭 회로(SWC), 상이한 면적 즉 최하위 비트(LSB)로부터 최상위 비트(MSB)로의 입력 디지털 신호의 비트 위치의 순으로, $2^7: 2^6: 2^5: 2^4: 2^3: 2^2: 2^1: 2^0$ 의 비율로 설정된 상이한 커패시턴스를 갖는 커패시터(C1~C8)를 갖는 커패시터 어레이(CAPARY), 및 상기 커패시터 어레이(CAPARY)의 각 커패시터(C1~C8)에 의해 유지되는 전하량에 따라, 대응하는 데이터 신호선(SL)에 데이터 신호를 출력하는 출력 회로(BUF)를 포함한다. 상기 스위칭회로(SWC), 커패시터 어레이(CAPARY) 및 출력회로(BUF)는 전하 배분형 D/A 변환회로를 구성하고 있다.

상기 스위칭 회로(SWC)는, 주사회로(SR)의 출력신호가 일방의 입력단자에 입력되고, 디지털 신호(DAT1~DAT8)가 타방의 입력단자에 입력되는 NAND 회로(부정논리곱 회로)(NAND1~NAND8)와, 제어입력단자가 상기 NAND 회로(NAND1~NAND8)의 출력단자에 각각 접속되고, 출력단자가 커패시터(C1~C8)의 일단에 각각 접속된 스위치(SW1~SW8)를 포함한다. D/A 변환용의 기준전위(V1)는 각 스위치(SW1~SW8)의 일방의 입력단자에 접속된다. 그라운드(GND)는 각 스위치(SW1~SW8)의 타방의 입력 단자에 접속된다.

상기 데이터신호선 구동회로(SD)의 동작을 미하여 설명한다.

상기 디지털 신호(DAT1~DAT8) 및 주사회로(SR)의 출력신호가 모두 하이 레벨이면, 대응하는 부정논리곱 회로(NAND1~NAND8)의 출력신호는 로우 레벨이다. 따라서, 조합된 스위치(SW1~SW8)는, 기준전위(V1) 쪽으로 절환된다. 따라서, 기준전위(V1)는 조합된 커패시터(C1~C8)에 인가된다. 한편, 부정논리곱 회로(NAND1~NAND8)의 출력신호가 하이 레벨이면, 조합된 스위치(SW1~SW8)는 그라운드(GND) 쪽으로 절환된다. 따라서, 그라운드(GND)가 조합된 커패시터(C1~C8)에 접속된다.

D/A 변환용 기준전위(V1)에 접속된 커패시터(C1~C8)의 총 커패시턴스를 Con이라 하고, 그라운드(GND)에 접속된 커패시터(C1~C8)의 총 커패시턴스를 Coff라 하면, 커패시터(C1~C8)에 공통 접속된 출력단의 전압(Vout)은:

$$V_{out} = V1 \times Con / (Con + Coff)$$

로 표현된다.

출력 회로(BUF)는 전송 신호(TRFS)와 동기하여 전압(Vout)을 전류증폭하여, 전압(Vout)에 대응하는 전압을 갖는 데이터 신호를 대응하는 데이터 신호선(SL)에 출력한다.

상기 데이터 신호선 구동회로(SD)에 사용되는 전하 배분형 D/A 변환회로는, 커패시터(C1~C8)에 의한 전하 배분을 함으로써, D/A 변환을 행한다. 커패시터(C1~C8)의 커패시턴스는, 입력되는 디지털 신호의 최하위 비트로부터 최상위 비트의 비트 위치순으로, 2^7 : 2^6 : 2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 2^0 의 면적비율에 대응하는 비율로 증가되도록 절환된다. 따라서, 각 커패시터(C1~C8)의 일단을 기준전위(V1) 또는 그라운드(GND)에 접속하는 스위칭 회로(SWC)의 다른 아날로그 스위치(SW1~SW8)의 ON/OFF상태에 따라, 각 아날로그 스위치(SW1~SW8)에 요구되는 구동 커패시턴스 또는 능력은 상이하다. 따라서, 모든 가능한 커패시터 접속 중 가장 큰 합성 커패시턴스를 제공하는 커패시터 접속을 상정하면, 소정의 D/A 변환기간 내에, 상기 커패시터(C1~C8)를 충분히 충전할 수 있도록, 각 아날로그 스위치(SW1~SW8)에 구동능력을 인가할 필요가 있다. 통상, 상기 아날로그 스위치(SW1~SW8)는 트랜지스터로 구성된다. 상기 아날로그 스위치(SW1~SW8)의 구동능력(β)은:

$$\beta = \mu \times (\epsilon_{ox} \times W) / (T_{ox} \times L)$$

이며, 여기서 μ 는 전자(홀)의 이동도, ϵ_{ox} 는 게이트 절연막의 유전율, T_{ox} 는 게이트 절연막의 두께, L은 트랜지스터의 게이트의 길이, W는 트랜지스터의 게이트의 폭이다. 파라미터(μ , ϵ_{ox} , T_{ox} , L)는 제조 프로세스 상태, 트랜지스터의 사용 목적에 따라 결정되는 내압, 및 신뢰성 등의 팩터에 따라 유일하게 결정된다. 따라서, 상기 게이트 폭(W)에 따라, 트랜지스터의 구동능력이 조정된다.

상기한 바와 같이, 상기 D/A 변환회로에서, 모든 가능한 커패시터 접속 중 가장 큰 합성 커패시턴스를 제공할 수 있는 커패시터 접속 등을 상정하여, 아날로그 스위치(SW1~SW8)를 구성하는 트랜지스터는, 소정의 D/A 변환기간 내에 커패시터(C1~C8)를 충분히 충전할 수 있도록 구동능력을 가질 필요가 있다. 이러한 구동능력은 트랜지스터의 게이트폭(W)을 증가시킴으로써 얻을 수 있다. 그러나, 상기 아날로그 스위치(SW1~SW8)에 대응하는 최대 접속 커패시턴스는 서로 매우 상이하다. 최대 커패시턴스를 갖는 커패시터에 접속된 스위치에 대응하는 최대 접속 커패시턴스(C_{max})와 최소 커패시턴스를 갖는 커패시터에 접속된 스위치에 대응하는 최대 접속 커패시턴스(C_{min}) 사이에는, 큰 차가 있다.

상기 D/A 변환회로에서, 모든 아날로그 스위치(SW1~SW8)는 균일한 크기를 갖는다. 즉, 최소 커패시턴스를 갖는 커패시터(C1)에 접속되는 아날로그 스위치(SW1)에도, 최대 커패시턴스를 갖는 커패시터(C8)에 접속되는 아날로그 스위치(SW8)와 동일한 게이트 폭(W)이 주어진다. 따라서, 아날로그 스위치를 구성하는 트랜지스터는 크기가 필요 이상으로 크다. 따라서, 아날로그 스위치는 D/A 변환회로에서 큰 면적을 점유한다. 따라서, 액티브 매트릭스형 화상표시장치에서, 표시영역의 주위에 배치되는 표시용 구동회로부(데이터신호선 구동회로)는 큰 면적을 갖는다. 즉, 상기 화상표시장치의 표시영역에 대한 프레임의 면적 비율이 크다.

또한, 최근에, 휴대형 정보단말이 널리 보급되어 있다. 액정표시장치가 박형이기 때문에, 휴대형 정보단말에 대한 표시로서, 그룹에 대한 수요가 높아지고 있다. 휴대형 정보단말은 소형화가 요구된다. 따라서, 화상표시장치 자체에 대해, 표시 영역을 축소시키지 않고, 표시용 구동회로부의 크기를 축소, 즉 프레임 크기를 축소시킬 필요가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은, 회로 규모를 축소하여 소형화되고, 고정밀도의 D/A 변환 회로, 및 작은 표시용 구동회로부를 갖고, 표시 영역을 축소하지 않고, 화상표시장치의 프레임을 축소시킬 수 있도록 화상표시장치를 제공하는 것이다.

상기 목적을 달성하기 위해, 본 발명의 1 관점에 의하면,

각각의 커패시턴스가 순차 증가하고, 커패시터의 일단이 전기적으로 공통 접속된 복수의 커패시터; 및

대응하는 커패시터의 타단에 외부로부터 입력되는 디지털 신호에 대응하는 기준전위를 각각 전기적으로 접속하기 위한 복수의 아날로그 스위치를 포함하고,

상기 커패시터의 공통 접속된 일단의 전위에 대응하는 아날로그 신호를 출력하는 전하 배분형 D/A 변환회로가 제공되며,

상기 복수의 아날로그 스위치의 각 구동능력은 순차적으로 증가한다.

상기 구성에 의하면, 각 아날로그 스위치가 필요한 구동능력만을 갖도록, 상기 각 아날로그 스위치의 구동능력을 적절하게 설정할 수 있다. 따라서, 상기 커패시터 충전시간 및 레이아웃 면적으로부터 결정되는 최적의 구동능력과 설정된 구동능력의 차를 최소화할 수 있다. 따라서, 종래의 D/A 변환 회로에 비해, 좀더 적절하게 본 발명의 D/A 변환회로에 대한 회로를 설계할 수 있어서, D/A 변환회로의 회로 규모를 축소시킬 수 있다.

1 실시예에서, 상기 아날로그 스위치의 구동능력은, 대응하는 커패시터의 커패시턴스에 따라 설정된다.

상기 실시예에서, 높은 최대 접속 커패시턴스에 대응하는 상위 비트용 아날로그 스위치에는 높은 구동능력이 주어지는 반면, 낮은 최대 접속 커패시턴스에 대응하는 하위 비트용 아날로그 스위치에는 낮은 구동능력이 주어진다. 즉, 아날로그 스위치에 접속된 커패시터의 크기에 따라, 기준전위에 상기 커패시터를 접속/비접속하는 아날로그 스위치의 구동능력을 적절히 설정한다. 따라서, 상기 아날로그 스위치의 구동능력이 상기 아날로그 스위치의 크기에 비례하는 경우, 상기 D/A 변환회로의 점유면적을 축소할 수 있다. 또한, 상기 커패시터를 충전하기 위해 요구되는 시간을 균일하게 할 수 있다. 상기 구성에 의한 효과는 하위 비트용 커패시터의 커패시턴스와 상위 비트용 커패시터의 커패시턴스 사이에 큰 차가 있는 멀티 비트용 D/A

변환회로에서 더욱 현저하다.

1 실시예에서, 상기 커패시터를 충전할 때의 아날로그 스위치의 최대 접속 커패시턴스에 따라, 상기 각 아날로그 스위치의 구동능력을 설정한다. 여기서 사용된 용어 "최대 접속 커패시턴스"는 개개의 아날로그 스위치로부터 볼 때 접속된 커패시터의 최대 합성 커패시턴스를 의미한다.

본 실시예에서도, 상기 D/A 변환회로의 점유면적을 축소할 수 있다. 또한, 상기 커패시터를 충전하기 위해 요구되는 시간을 균일하게 할 수 있다. 따라서, D/A 변환 정밀도를 향상시킬 수 있다.

1 실시예에서, 각 아날로그 스위치는 N 채널형 트랜지스터 또는 P 채널형 트랜지스터 중 적어도 하나를 포함할 수 있다.

상기 N 채널형 트랜지스터 또는 P 채널형 트랜지스터 중 적어도 일방을 사용하면, 아날로그 스위치의 집적화를 달성할 수 있다. 따라서, D/A 변환회로의 규모를 축소할 수 있다. 또한, 외부로부터 입력된 기준전위와 상기 트랜지스터의 게이트 전압 사이의 관계에 따라 트랜지스터의 채널 타입을 설정하는 것에 의해, 트랜지스터의 문턱치의 영향에 의해 발생하는 충전 부족을 회피할 수 있다.

또한, 본 발명은:

각각의 커패시턴스가 순차 증가하고, 커패시터의 일단이 전기적으로 공통 접속되는 복수의 커패시터; 및 상기 대응하는 커패시터의 타단에 외부로부터 입력된 디지털 신호에 대응하는 기준전위를 각각 전기적으로 접속하기 위한 복수의 아날로그 스위치를 포함하고,

상기 커패시터들의 공통 접속된 일단의 전위에 대응하는 아날로그 신호를 출력하는 전하 배분형 D/A 변환 회로를 제공하며,

상기 각 아날로그 스위치들은 N 채널형 트랜지스터 또는 P 채널형 트랜지스터 중 적어도 일방을 포함하고, 트랜지스터의 게이트 쪽은 상기 커패시터들의 커패시턴스에 따라 아날로그 스위치 사이에서 변화된다.

상기 구성에 의하면, 각 트랜지스터의 게이트쪽을 순차 변화시키는 것에 의해, 상기 트랜지스터의 구동능력이 변화되어, 높은 최대 접속 커패시턴스에 대응하는 상위 비트용 아날로그 스위치는 높은 구동능력을 갖는 반면, 낮은 최대 접속 커패시턴스에 대응하는 하위 비트용 아날로그 스위치는 낮은 구동능력을 갖는다. 따라서, D/A 변환 회로의 점유면적의 축소를 달성할 수 있다. 또한, 상기 커패시터를 충전하기 위해 요구되는 시간을 균일하게 할 수 있기 때문에, D/A 변환 정밀도를 향상시킬 수 있다. 이러한 효과는 하위 비트용 커패시터의 커패시턴스와 상위 비트용 커패시터의 커패시턴스 사이의 차가 비트 수에 의해 증가되는, 멀티 비트 디지털 신호용 D/A 변환회로에서 좀더 효과적으로 증명된다.

또한, 본 발명은:

각각의 커패시턴스가 변화되어 순차 증가하고, 커패시터의 일단이 전기적으로 공통 접속되는 복수의 커패시터; 및

상기 대응하는 커패시터의 타단에 외부로부터 입력된 디지털 신호에 대응하는 기준전위를 각각 전기적으로 접속하기 위한 복수의 아날로그 스위치를 포함하고,

상기 커패시터들의 공통 접속된 일단의 전위에 대응하는 아날로그 신호를 출력하는 전하 배분형 D/A 변환 회로를 제공하며,

상기 각각의 아날로그 스위치는, 구동능력이 거의 동일한 반도체 스위칭 소자에 의해서 구성되며, 상기 커패시터의 커패시턴스에 따라 상기 각 아날로그 스위치의 구동능력이 변화도록, 1개의 반도체 스위칭 소자 또는 병렬 접속된 복수의 반도체 스위칭 소자로 이루어진다.

상기 D/A 변환회로에서, 높은 최대 접속 커패시턴스를 갖는 상위 비트용 아날로그 스위치에서는 다수의 반도체 스위칭 소자가 사용되는 반면, 낮은 최대 접속 커패시턴스를 갖는 하위 비트용 아날로그 스위치에서는 소수의 반도체 스위칭 소자가 사용된다. 따라서, 상기 아날로그 스위치의 구동능력은 커패시터의 커패시턴스에 따라 변화된다. 따라서, D/A 변환회로의 점유면적의 축소를 달성할 수 있다. 또한, 상기 커패시터를 충전하기 위해 요구되는 시간을 균일하게 할 수 있기 때문에, D/A 변환 정밀도를 향상시킬 수 있다. 이러한 효과들은 하위 비트용 커패시터의 커패시턴스와 상위 비트용 커패시터의 커패시턴스 사이의 차가 비트 수에 의해 증가되는, 멀티 비트 디지털 신호용 D/A 변환회로에서 좀더 효과적으로 된다.

1 실시예에서, 각 반도체 스위칭 소자는 N 채널형 트랜지스터 또는 P 채널형 트랜지스터 중 적어도 일방을 포함하며, 상기 반도체 스위칭 소자의 트랜지스터는 거의 동일한 게이트 폭을 갖는다.

상기 구성은 회로의 집적화를 가능하게 한다. 따라서, D/A 변환회로의 회로 규모를 축소할 수 있다. 외부로부터 입력된 기준전위와 상기 아날로그 스위치를 구성하는 트랜지스터의 게이트 전압 사이의 관계에 따라 트랜지스터의 채널 타입을 설정하는 것에 의해, 트랜지스터의 문턱치의 영향에 의한 충전 부족을 회피할 수 있다. 또한, 상기 아날로그 스위치를 구성하는 트랜지스터의 게이트폭을 균일화하기 때문에, 제조공정에 의해 야기되는 마스크 시프트량과 에칭 시프트량의 영향을 상기 트랜지스터에 대하여 균일하게 할 수 있다. 따라서, 트랜지스터 사이의 특성 변동을 억제할 수 있다. 또한, 상기 아날로그 스위치를 구성하는 트랜지스터의 게이트 폭을 균일하게 함으로써, 제조 공정에 의해 야기되는 마스크 시프트량과 에칭 시프트량이 트랜지스터 상에 균일한 영향을 나타내도록 할 수 있다. 따라서, 트랜지스터의 상기 특성 변동을 억제할 수 있다. 다결정 실리콘이 상기 트랜지스터의 활성층으로서 사용되는 경우, 결정의 크기는 생성법에 따라 수 μm ~ 수백 μm 의 범위 내에서 변화한다. 최근, 결정화 기술의 발달에 의해, 결정의 크기를 수십 μm 으로 균일화할 수 있다. 이 경우, 트랜지스터의 게이트 폭 및 게이트 길이를 결정의 크기 이하로 설계하는 것에 의해, 결정 실리콘 트랜지스터의 특성 변동의 주요인 중 하나인 결정 경계를 트랜지스터의 활성층(채널 부분)으로부터 제거할 수 있다. 따라서, 아날로그 스위치의 트랜지스터의 게이트 폭을, 활성층으로서 사용되는 다결정 실리콘의 결정 크기 이하로 하고, 상기 아날로그 스위치의 구동능력이 순차 증가하

도록 필요한 수의 트랜지스터를 서로 병렬 접속함으로써, D/A 변환 정밀도의 향상이 좀더 기대된다.

또한, 본 발명은:

각각의 커패시턴스가 순차 증가되고, 커패시터의 일단이 전기적으로 공통 접속된 복수의 커패시터; 및

상기 대응하는 커패시터의 타단에 외부로부터 입력되는 디지털 신호에 대응하는 기준전위를 각각 전기적으로 접속하기 위한 복수의 **아날로그 스위치**를 포함하고,

상기 커패시터들의 공통 접속된 일단의 전위에 대응하는 **아날로그 신호**를 출력하는 전하 배분형 D/A 변환 회로를 제공하며,

상기 복수의 **아날로그 스위치**는, 각각의 구동능력이 상기 커패시터의 커패시턴스에 따라 변화되고,

각 구동능력이 소정치 미하인 상기 각 **아날로그 스위치**는 1개의 반도체 스위칭 소자를 갖고, 상기 **아날로그 스위치**의 반도체 스위칭 소자의 각 구동능력은, 상기 개개의 **아날로그 스위치**를 통해 충전되는 커패시터의 커패시턴스에 따라 변화되며,

각 구동능력이 소정치 이상인 각 **아날로그 스위치**는, 구동능력이 거의 동일하고, 또한 상기 소정치 미하인 복수의 병렬 접속된 반도체 스위칭 소자를 갖는다.

상기 구성에 의한 상기 D/A 변환회로에서는, 상기 1개의 스위칭 소자의 구동능력이 소정치에 도달할 때까지, 높은 구동능력을 갖는 1개의 반도체 스위칭 소자는 높은 최대 접속 커패시턴스를 갖는 상위 비트에 대응하는 **아날로그 스위치**에 사용되고, 낮은 구동능력을 갖는 1개의 반도체 스위칭 소자는 낮은 최대 접속 커패시턴스를 갖는 하위 비트에 대응하는 **아날로그 스위치**에 사용된다. 이러한 방법으로, **아날로그 스위치**의 구동능력이 상기 커패시터의 커패시턴스에 따라 변화된다. 한편, **아날로그 스위치**가 소정치보다 큰 구동능력을 갖도록 요구되는 경우, 단독의 스위칭 소자 대신에, 거의 동일한 구동능력을 갖는 복수의 반도체 스위칭 소자가 병렬 조합되어 사용된다. 이 경우, 높은 최대 접속 커패시턴스를 갖는 상위 비트에 대응하는 **아날로그 스위치**에는 다수의 반도체 스위칭 소자가 사용되고, 낮은 최대 접속 커패시턴스를 갖는 하위 비트에 대응하는 **아날로그 스위치**에는 소수의 반도체 스위칭 소자가 사용된다. 이러한 방법으로, 상기 **아날로그 스위치**의 구동능력은 커패시터의 커패시턴스에 따라 변화된다. 따라서, D/A 변환회로의 점유면적의 축소를 달성할 수 있다. 또한, 상기 커패시터를 충전하기 위해 요구되는 시간을 균일하게 할 수 있기 때문에, 상기 D/A 변환 정밀도의 향상도 달성할 수 있다. 이러한 효과는, 하위 비트용 커패시터의 커패시턴스와 상위 비트용 커패시터의 커패시턴스 사이에 큰 차이가 있는, 멀티 비트 디지털 신호용 D/A 변환회로에서 보다 현저하다.

1 실시예에서, 각 반도체 스위칭 소자는 N 채널형 트랜지스터 또는 P 채널형 트랜지스터 중 적어도 일방을 포함하며, 각 트랜지스터의 구동능력은 그 게이트 폭에 의해 설정된다.

상기 실시예의 D/A 변환회로에 따르면, **아날로그 스위치**로서 N 채널형 트랜지스터 및/또는 P 채널형 트랜지스터를 사용하며, 집적화를 달성할 수 있다. 따라서, D/A 변환회로의 회로 규모를 축소할 수 있다. 또한, 외부로부터 입력되는 기준전위와 상기 **아날로그 스위치**의 트랜지스터의 게이트전압 사이의 관계에 따른 트랜지스터의 채널 타입을 설정하는 것에 의해, 트랜지스터의 문턱치의 영향에 의해 발생되는 충전 부족을 회피할 수 있다. 제조 프로세스에 의한 트랜지스터의 게이트 폭에 상한이 있고, **아날로그 스위치**가 1개의 트랜지스터의 상한 또는 상기 소정치보다 큰 게이트 폭에 의해 제공되는 구동능력을 갖도록 요구되면, 상기 소정치와 거의 동일하거나 또는 소정치 미하의 게이트 폭을 갖는 복수의 병렬 접속된 트랜지스터가 사용된다. 따라서, 제조 프로세스에 의해 야기되는 마스크 시프트량과 에칭 시프트량이 트랜지스터상에 대해 균일한 영향을 미치도록 할 수 있다. 따라서, 트랜지스터의 특성 변동을 억제할 수 있다.

본 발명의 다른 관점에 따르면,

매트릭스 형태로 배열된 복수의 화소;

상기 화소들의 열방향으로 배열된 복수의 **데이터 신호선**;

상기 화소들의 행방향으로 배열된 복수의 **주사 신호선**;

디지털 화상데이터에 대응하는 **아날로그 화상데이터**를 상기 **데이터 신호선**에 공급하는 **데이터신호선 구동회로**; 및

상기 주사 신호선에 주사신호를 공급하는 주사신호선 구동회로를 포함하는 화상표시장치를 제공하며,

상기 **데이터신호선 구동회로**는 상기 D/A 변환회로 중 어느 하나를 포함한다.

상기 구성에 의하면, 상기 D/A 변환회로의 최적설계는 D/A 변환회로를 포함하는 **데이터신호선 구동회로**를 소형화함으로써, 표시 영역을 축소하지 않고, 표시용 구동회로부를 축소할 수 있다. 따라서, 화상표시장치는 축소된 프레임 부분을 갖는다.

1 실시예에서, 상기 **데이터신호선 구동회로**, 상기 주사신호선 구동회로, 및 화소들을 단일 기판상에 형성한다.

이 경우, 설장비용을 저감할 수 있는 동시에, 화소들과 상기 **데이터신호선 구동회로**, 주사신호선 구동회로 사이의 접속부를 제거하기 때문에, 신뢰성을 향상시킬 수 있다.

1 실시예에서, 상기 **데이터신호선 구동회로**, 상기 주사신호선 구동회로 및 화소에 포함된 능동소자는 다결정실리콘 박막트랜지스터로 형성된다.

상기 반도체 스위칭 소자 등의 능동소자를 다결정실리콘 박막트랜지스터로 형성하면, 구동회로와 화소를 동일 기판상에 동일 제조 프로세스에 의해 형성할 수 있다. 따라서, 제조 비용을 저감할 수 있다.

1 실시예에서, 상기 기판은 유리기판이며, 600°C 이하의 온도를 사용하는 제조 프로세스로 상기 다결정실

리콘 박막트랜지스터를 상기 유리기판상에 형성한다.

염가의 낮은 용점을 갖는 유리 기판을 사용하기 때문에, 화상표시장치를 낮은 비용으로 제공할 수 있다.

발명의 구성 및 작용

(제1 실시예)

도1은 본 발명의 제1 실시예의 전하배분형의 D/A 변환회로의 기본구성을 나타낸 도면이고, 설명을 간략화하기 위해 8비트 입력의 D/A 변환회로를 나타내고 있다.

도1에 나타낸 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~C8), 상기 커패시터(C1~C8)의 일단에 각각 기준전위(V1) 또는 기준전위(V2)를 접속하는 복수의 아날로그 스위치(ANS1~ANS8), 및 비반전 입력단자, 반전 입력단자, 및 출력단자를 갖는 OP 앰프(OP)를 포함한다. 상기 커패시터(C1~C8) 각각의 공통으로 접속된 타단은 비반전 입력단자에 접속되고, 출력단자는 반전입력단자에 접속된다. 상기 아날로그 스위치(ANS1~ANS8)의 제어입력단자(도시 안함)에, 디지털 화상데이터로서 디지털신호의 각 비트(Bit1~Bit8)가 입력되어 있다. 또, 상기 OP 앰프(OP)는 필요에 따라 제공된다.

상기 디지털신호의 각 비트(Bit1~Bit8)에 의해, 아날로그 스위치(ANS1~ANS8)는, 커패시터(C1~C8)의 일단에 기준전위(V1)를 접속하거나 또는 기준전위(V2)를 접속한다. 즉, 입력되는 디지털신호의 비트 상태가 '1'인 경우는, 커패시터의 일단을 기준전위(V1)에 접속하고, '0'의 경우는, 상기 커패시터의 일단을 기준전위(V2)에 접속한다.

또한, 상기 커패시터(C1~C8)의 커패시턴스는, 비트 위치의 순서로 최하위비트(Bit1)에서 최상위 비트(Bit8)까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$ 의 비율로 증가한다. 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~C8)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA 이다.

상기 구성의 D/A 변환회로에서, 디지털신호가 하이 레벨의 비트에 대응하는 아날로그 스위치는, 기준전위(V1)를 커패시터의 일단에 접속하는 한편, 디지털신호가 로우레벨의 비트에 대응하는 아날로그 스위치는, 기준전위(V2)를 커패시터의 일단에 접속한다. 그 결과, 일단이 기준전위(V1)에 접속된 커패시터와 일단이 기준전위(V2)에 접속된 커패시터 사이에서 전하배분이 발생하고, 각 커패시터(C1~C8)의 공통으로 접속된 타단에, 입력된 디지털신호에 따른 전위가 발생되어, 이 전위에 따라 OP 앰프(OP)의 출력단자로부터 데이터신호를 출력한다.

상기 아날로그 스위치(ANS1~ANS8)의 구동능력은, 그 스위칭부의 선의 굵기에 의해 표시되어 있다 (굵은 선이 많은 선보다 구동능력이 크다). 즉, 최하위비트(Bit1)용의 아날로그 스위치(ANS1)가 가장 구동능력이 작고, 아날로그 스위치(ANS2, ANS3, ANS4, ANS5, ANS6, ANS7)는 순차로 구동능력이 증가하고, 최상위비트(Bit8)용의 아날로그 스위치(ANS8)의 구동능력이 가장 크다. 즉, 상기 아날로그 스위치(ANS1~ANS8)로부터 본 접속 커패시턴스가 각각 다른 것을 고려하여, 각 아날로그 스위치(ANS1~ANS8)의 구동능력이 순차 커지도록 변경된다. 이에 의해, 각 아날로그 스위치(ANS1~ANS8)를 통한 각 커패시터(C1~C8)의 충전시간의 균일화 및 회로점유면적의 축소화를 할 수 있어, 최적의 회로 설계를 제공한다.

상기 D/A 변환회로에서, 각 아날로그 스위치(ANS1~ANS8)에 대한 전하배분용의 커패시터(C1~C8)의 최대 접속 커패시턴스 및 각각의 최대 접속 커패시턴스에 대응하는 입력 디지털신호를 표 1에 나타내고 있다.

표 1

아날로그 스위치	디지털 신호								최대 접속 커패시턴스
	LSB Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	MSB Bit8	
ANS1	1	0	0	0	0	0	0	0	(254/255)CA
ANS2	0	1	0	0	0	0	0	0	(506/255)CA
ANS3	0	0	1	0	0	0	0	0	(1004/255)CA
ANS4	0	0	0	1	0	0	0	0	(1976/255)CA
ANS5	0	0	0	0	1	0	0	0	(3824/255)CA
ANS6	0	0	0	0	0	1	0	0	(7136/255)CA
ANS7	0	0	0	0	0	0	1	0	(12224/255)CA
ANS8	0	0	0	0	0	0	0	1	(16256/255)CA

상기 표 1에 나타낸 바와 같이, 최하위비트(Bit1)용의 아날로그 스위치(ANS1)에 대응하는 최대 접속 커패시턴스가 (254/255)CA인 데 대하여, 최상위비트(Bit8)용의 아날로그 스위치(ANS8)에 대응하는 최대 접속 커패시턴스가 (16256/255)CA로 되어, 최하위비트(Bit1)용의 아날로그 스위치(ANS1)와 최상위비트(Bit8)용의 아날로그 스위치(ANS8) 사이에서 64배의 최대 접속 커패시턴스의 차가 생긴다. 그 때문에, 아날로그 스위치(ANS1~ANS8) 각각의 구동능력이 순차 커지도록 아날로그 스위치(ANS1~ANS8)의 구동능력을 변경함으로써, 다른 커패시턴스접속의 경우에 있어서도, 각각의 충전시간의 차를 최소로 할 수 있다. 또한, 아날로그 스위치(ANS1~ANS8) 각각의 구동능력이, 아날로그 스위치 자체의 기하학적 사이즈에 의해서 결정되는 경우, 필요구동능력이 작은 아날로그 스위치(ANS1~ANS7)를 필요구동능력이 큰 아날로그 스위치(ANS8)의 수신편의 1~1/2의 사이드로 설계함으로써, D/A 변환회로에 있어서 아날로그 스위치(C1~C8)의 점유면적을 축소할 수 있다.

(제2 실시예)

도2는 본 발명의 제2 실시예의 전하배분형의 D/A 변환회로의 구성을 나타낸 도면이고, (아날로그)

스위치로서 트랜지스터를 사용한 경우를 나타내고 있다.

도2에 나타낸 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~Cn), 상기 커패시터(C1~Cn)의 일단에 기준전위(VBL) 또는 기준전위(VBH)를 접속하는 아날로그 스위치회로(ANSC1), 및 상기 커패시터(C1~Cn)의 공통으로 접속된 타단의 전위를 증폭하여 출력하는 출력회로(BUF)를 구비하고 있다.

상기 아날로그 스위치회로(ANSC1)는, 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBL)의 접속/비접속을 바꾸는 N 채널형 트랜지스터(Mn1~Mnn), 및 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBH)의 접속/비접속을 바꾸는 P 채널형 트랜지스터(Mp1~Mpn)로 구성되어 있다. 상기 N 채널형 트랜지스터(Mn1~Mnn) 및 P 채널형 트랜지스터(Mp1~Mpn)의 게이트에는, 역상의 디지털신호(/Bit1~/Bitn)가 공급된다.

또한, 상기 커패시터(C1~Cn)에는, 디지털신호의 최하위비트(Bit1)로부터 최상위비트(Bitn)까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$ 의 비율로 증가하도록 커패시턴스를 변화시키고, 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~Cn)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA, ...이다.

또한, 상기 N 채널형 트랜지스터(Mn1~Mnn) 및 P 채널형 트랜지스터(Mp1~Mpn)의 구동능력은, Mn1~Mnn, Mp1~Mpn 순차로 증가하도록 조합된 커패시터(C1~Cn)의 커패시턴스에 따라 변경된다.

상기 D/A 변환회로에서, 2개의 기준전위를 VBH와 VBL(VBH>VBL), 디지털신호의 하이 레벨을 VBH, 로우레벨을 VBL, N 채널형 트랜지스터의 임계치를 Vthn, P 채널형 트랜지스터의 임계치를 Vthp로 하면,

$$VBL - V_{thn} \ll VBL$$

$$VBL + V_{thn} \ll VBH$$

$$VBL \ll VBH + V_{thp}$$

$$VBH \ll VBH - V_{thp}$$

의 조건이 성립된다.

상기 D/A 변환회로에서, 입력된 디지털신호가 로우레벨의 비트에 대응하는 부분(트랜지스터의 게이트에 하이 레벨이 공급되는 부분)에는, N 채널형 트랜지스터가 ON상태로 되고, P 채널형 트랜지스터가 OFF상태로 되어, 전하배분용의 커패시터에 기준전위(VBL)가 공급된다. 또한, 입력된 디지털신호가 하이 레벨의 비트에 대응하는 부분(트랜지스터의 게이트에 로우레벨이 공급되는 부분)에는, N 채널형 트랜지스터가 OFF상태로 되고, P 채널형 트랜지스터가 ON상태로 되어, 전하배분용의 커패시터에 기준전위(VBH)가 공급된다. 그 결과, 일단이 기준전위(VBH)에 접속된 커패시터와 일단이 기준전위(VBL)에 접속된 커패시터 사이에서 전하배분이 발생하고, 각 커패시터(C1~Cn)의 공통으로 접속된 타단에 디지털신호에 따른 전위가 발생하여, 이 전위에 따라 출력회로(BUF)에서 데이터신호를 출력한다.

상기 제2 실시예의 D/A 변환회로에서는, 단상(모두 역상) 디지털신호가 입력되기 때문에, 레이어 아웃에서의 배선이 쉽게 행해질 수 있다. 따라서, 회로규모의 축소가 기대된다.

상기 D/A 변환회로에서는, 아날로그 스위치를 구성하는 트랜지스터의 구동능력을 결정하는 파라미터로서, 트랜지스터의 게이트 길이(L), 게이트폭(W) 및 이동도(μ) 등을 들 수 있지만, 게이트 길이(L)나 이동도(μ)는, 사양이나 프로세스적 요인에 의해 다르게 결정되기 때문에, 통상, 게이트폭(W)을 바꾸는 것에 의해 트랜지스터의 필요구동능력을 확보한다.

(제3 실시예)

도3은 본 발명의 제3 실시예의 전하배분형의 D/A 변환회로의 구성을 나타낸 도면이다.

도3에 나타낸 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~Cn), 상기 각 커패시터(C1~Cn)의 일단에 기준전위(VBL, VBH)의 어느 하나를 접속하는 아날로그 스위치회로(ANSC2), 및 상기 커패시터(C1~Cn)의 공통으로 접속된 타단의 전위를 증폭하여 데이터 신호를 출력하는 출력회로(BUF)를 구비하고 있다.

상기 아날로그 스위치회로(ANSC2)는, 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBH)의 접속/비접속을 바꾸는 N 채널형 트랜지스터(Mn11~Mn1n), 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBL)의 접속/비접속을 바꾸는 N 채널형 트랜지스터(Mn21~Mn2n)로 구성되어 있다. 상기 N 채널형 트랜지스터(Mn11~Mn1n)의 게이트에는, 정상의 디지털신호(Bit1~Bitn)가 공급되는 한편, N 채널형 트랜지스터(Mn21~Mn2n)의 게이트에는, 역상의 디지털신호(/Bit1~/Bitn)가 공급된다.

또한, 상기 커패시터(C1~Cn)에는, 디지털신호의 최하위비트(Bit1)로부터 최상위비트(Bitn)까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$ 의 비율로 증가하도록 커패시턴스를 변화시키고, 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~Cn)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA, ...이다.

또한, 상기 N 채널형 트랜지스터(Mn11~Mn1n) 및 N 채널형 트랜지스터(Mn21~Mn2n)의 구동능력은, 커패시터(C1~Cn)의 커패시턴스에 따라 순차 증가하도록 변화시킨다.

또한, 디지털신호의 하이 레벨을 VBH, 로우레벨을 VBL, N 채널형 트랜지스터의 임계치를 Vthn으로 하면,

$$VBL - V_{thn} \ll VBL$$

$$V_{BL} + V_{thn} \ll V_{BH}$$

의 조건이 성립된다.

상기 구성의 D/A 변환회로에서, N 채널형 트랜지스터(Mn1~Mn1n)에서 디지털신호가 하이 레벨의 비트에 대응하는 모든 트랜지스터는 ON상태로 되고, N 채널형 트랜지스터(Mn21~Mn2n)에서 디지털신호가 하이 레벨의 비트에 대응하는 모든 트랜지스터는 OFF상태로 되어, ON상태의 N 채널형 트랜지스터에 접속되는 전하배분용의 커패시터에 기준전위(VBH)가 공급된다. 한편, N 채널형 트랜지스터(Mn11~Mn1n)에서 디지털신호가 로우레벨의 비트에 대응하는 모든 트랜지스터는 OFF상태로 되고, N 채널형 트랜지스터(Mn21~Mn2n)에서 디지털신호가 로우레벨의 비트에 대응하는 모든 트랜지스터는 ON상태로 되어, ON상태의 N 채널형 트랜지스터(Mn21~Mn2n)에 접속되는 전하배분용의 커패시터에 기준전위(VBL)가 공급된다. 그 결과, 일단이 기준전위(VBH)에 접속된 커패시터와 일단이 기준전위(VBL)에 접속된 커패시터 사이에서 전하배분이 발생하여, 각 커패시터(C1~Cn)의 공통으로 접속된 타단에 디지털신호에 따른 전위가 생성된다. 이 전위에 따라 출력회로(BUF)로부터 데이터신호를 출력한다.

상기 제3 실시예의 D/A 변환회로에서는, 단채널(즉, 동일한 도전형)의 트랜지스터로 메탈로그 스위치(ANSC2)를 구성할 수 있기 때문에, 회로 레이아웃상에서 드레인영역을 공유하여, 트랜지스터 특성을 균일화하는 등의 이점을 얻을 수 있고, D/A 변환 정밀도의 향상을 기대할 수 있다. 또한, N 채널형 트랜지스터 및 P 채널형 트랜지스터의 양쪽을 사용하여 메탈로그 스위치를 구성하는 경우와 비교하여, D/A 변환회로에서의 메탈로그 스위치회로(ANSC2)의 점유면적을 더욱 축소할 수 있다.

상기 제3 실시예의 D/A 변환회로에서는, 제2 실시예와 같이, N 채널형 트랜지스터(Mn11~Mn1n, Mn21~Mn2n)의 게이트폭(W)을 바꾸는 것에 의해 소정의 구동능력을 확보할 수 있다.

(제4 실시예)

도4는 본 발명의 제4 실시예의 전하배분형의 D/A 변환회로의 구성을 나타낸 도면이다.

도4에 나타낸 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~Cn), 상기 각 커패시터(C1~Cn)의 일단에 기준전위(VBL, VBH)의 어느 하나를 접속하는 메탈로그 스위치회로(ANSC3), 및 상기 커패시터(C1~Cn)의 공통으로 접속된 타단의 전위를 증폭함으로써 데이터 신호를 출력하는 출력회로(BUF)를 구비하고 있다.

상기 메탈로그 스위치회로(ANSC3)는, 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBH)의 접속/비접속을 바꾸는 P 채널형 트랜지스터(Mp11~Mp1n), 및 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBL)의 접속/비접속을 바꾸는 P 채널형 트랜지스터(Mp21~Mp2n)로 구성되어 있다. 상기 P 채널형 트랜지스터(Mp11~Mp1n)의 게이트에는, 정상의 디지털신호(Bit1~Bitn)가 각각 공급되는 한편, P 채널형 트랜지스터(Mp21~Mp2n)의 게이트에는, 역상의 디지털신호(/Bit1~/Bitn)가 각각 공급된다.

또한, 상기 커패시터(C1~Cn)에는, 디지털신호의 최하위비트(Bit1)에서, 최상위비트(Bitn)까지 커패시턴스가 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7:2^8:2^9:2^{10}$ 의 비율로 증가하도록 변경되고, 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~Cn)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA, ... 이다.

또한, 상기 P 채널형 트랜지스터(Mp11~Mp1n) 및 P 채널형 트랜지스터(Mp21~Mp2n)의 구동능력은, 커패시터(C1~Cn)의 커패시턴스에 따라 순차 증가하도록 변경된다.

또한, 디지털신호의 하이 레벨을 VBH, 로우레벨을 VGL, P 채널형 트랜지스터의 임계치를 균일한 Vthp로 하면,

$$V_{GL} \ll V_{BL} + V_{thp}$$

$$V_{BH} \ll V_{GH} - V_{thp}$$

의 조건을 만족시키고 있다.

상기 구성의 D/A 변환회로에서, P 채널형 트랜지스터(Mp11~Mp1n)에서 디지털신호가 하이 레벨의 비트에 대응하는 모든 트랜지스터는 OFF상태로 되고, P 채널형 트랜지스터(Mp21~Mp2n)에서 디지털신호가 하이 레벨의 비트에 대응하는 모든 트랜지스터는 ON상태로 되어, ON상태의 P 채널형 트랜지스터(Mp21~Mp2n)에 접속되는 전하배분용의 커패시터에 기준전위(VBH)가 공급된다. 한편, P 채널형 트랜지스터(Mp11~Mp1n)에서 디지털신호가 로우레벨의 비트에 대응하는 모든 트랜지스터는 ON상태, P 채널형 트랜지스터(Mp21~Mp2n)에서 디지털신호가 로우레벨의 비트에 대응하는 모든 트랜지스터는 ON상태로 되어, ON상태의 P 채널형 트랜지스터(Mp11~Mp1n)에 접속되는 전하배분용의 커패시터에 기준전위(VBL)가 공급된다. 그 결과, 일단이 기준전위(VBH)에 접속된 커패시터와 일단이 기준전위(VBL)에 접속된 커패시터 사이에서 전하배분이 발생하고, 각 커패시터의 공통으로 접속된 타단에 디지털신호에 따른 전위가 기인되어, 이 전위에 따라 출력회로(BUF)에서 데이터신호를 출력한다.

이 제4 실시예의 D/A 변환회로에서는, 단채널(즉, 동일한 도전형)로 메탈로그 스위치회로(ANSC3)를 구성할 수 있기 때문에, 회로 레이아웃상에서 드레인영역을 공유하여, 트랜지스터 특성을 균일화하기 쉬운 등의 이점을 얻을 수 있고, D/A 변환 정밀도를 향상할 수 있다. 또한, N 채널형 트랜지스터 및 P 채널형 트랜지스터의 양쪽을 사용하여 메탈로그 스위치를 구성하는 경우와 비교하여, D/A 변환회로의 점유면적을 더욱 축소할 수 있다.

상기 제4 실시예의 D/A 변환회로에서는, 제2 실시예와 같이, P 채널형 트랜지스터(Mp11~Mp1n, Mp21~Mp2n)의 게이트폭(W)을 변경함으로써 소정의 구동능력을 확보할 수 있다.

(제5 실시예)

도5는 본 발명의 제5 실시예의 전하배분형의 D/A 변환회로의 구성을 나타낸 도면이다. 상기 D/A 변환회로는, N 채널형 트랜지스터 및 P 채널형 트랜지스터를 사용한 CMOS 메탈로그 스위치를 사용한 경우

를 나타내고 있다.

도5에 나타난 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~Cn), 상기 커패시터(C1~Cn)의 일단에 기준전위(VBL, VBH)의 어느 하나를 접속하는 이비로그 스위치회로(ANSC4), 및 상기 커패시터(C1~Cn)의 공통으로 접속된 타단의 전위를 증폭하여 데이터 신호를 출력하는 출력회로(BUF)를 구비하고 있다.

상기 이비로그 스위치회로(ANSC4)는, 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBH)의 접속/비접속을 바꾸는 병렬접속된 N 채널형 트랜지스터 및 P 채널형 트랜지스터로 구성된 CMOS 이비로그 스위치(CM11~CM1n), 각 전하배분용의 커패시터(C1~Cn)의 일단과 기준전위(VBL)의 접속/비접속을 바꾸는 병렬접속된 N 채널형 트랜지스터 및 P 채널형 트랜지스터로 구성된 CMOS 이비로그 스위치(CM21~CM2n)로 구성되어 있다.

상기 CMOS 이비로그 스위치(CM11~CM1n)의 N 채널형 트랜지스터 및 CMOS 이비로그 스위치(CM21~CM2n)의 P 채널형 트랜지스터의 게이트에는, 정상의 디지털신호(Bit1~Bitn)가 공급되는 한편, CMOS 이비로그 스위치(CM11~CM1n)의 P 채널형 트랜지스터 및 CMOS 이비로그 스위치(CM21~CM2n)의 N 채널형 트랜지스터의 게이트에는, 역상의 디지털신호(/Bit1~/Bitn)가 공급된다.

또한, 상기 커패시터(C1~Cn)에는, 디지털신호의 최하위비트(Bit1)에서 최상위비트(Bitn)까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7:2^8:2^9:2^{10}$ 의 비율로 증가하도록 커패시턴스를 변화시키고, 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~Cn)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA, ...이다.

또한, 상기 CMOS 이비로그 스위치(CM11~CM1n, CM21~CM2n)의 P 채널형 트랜지스터 및 P 채널형 트랜지스터의 구동능력은, 조합된 커패시터(C1~Cn)의 커패시턴스에 따라 순차 증가하도록 변경된다.

상기 구성의 D/A 변환회로에서, CMOS 이비로그 스위치(CM11~CM1n) 내에서 디지털신호가 하이 레벨의 비트에 대응하는 N 채널형 트랜지스터 및 P 채널형 트랜지스터는 ON상태로 되고, CMOS 이비로그 스위치(CM21~CM2n)에서 디지털신호가 하이 레벨의 비트에 대응하는 N 채널형 트랜지스터 및 P 채널형 트랜지스터는 OFF상태로 되어, ON상태의 CMOS 이비로그 스위치에 접속되는 전하배분용의 커패시터에 기준전위(VBH)가 공급된다. 한편, CMOS 이비로그 스위치(CM11~CM1n)에서 디지털신호가 로우레벨의 비트에 대응하는 N 채널형 트랜지스터 및 P 채널형 트랜지스터는 OFF상태로 되고, CMOS 이비로그 스위치(CM21~CM2n)에서 디지털신호가 로우레벨의 비트에 대응하는 N 채널형 트랜지스터 및 P 채널형 트랜지스터는 ON상태로 되어, ON상태의 CMOS 이비로그 스위치에 접속되는 전하배분용의 커패시터에 기준전위(VBL)가 공급된다. 그 결과, 일단이 기준전위(VBH)에 접속된 각 커패시터와 일단이 기준전위(VBL)에 접속된 각 커패시터 사이에서 전하배분이 발생하여, 각 커패시터의 공통으로 접속된 타단에 디지털신호에 따른 전위가 발생하여, 이 전위에 따라 출력회로(BUF)에서 데이터신호를 출력한다.

제5 실시예의 상기 D/A 변환회로는, 디지털신호의 하이 레벨을 VBH, 로우레벨을 VBL, N 채널형 트랜지스터의 임계치를 Vthn, P 채널형 트랜지스터의 임계치를 Vthp로 하면,

$$VBL \ll VBL + Vthn$$

$$VBH + Vthp \ll VBH$$

의 조건을 만족시키는 경우에 적용가능하고, 제2~제4 실시예의 어느 D/A 변환회로보다도 기준전위(VBH, VBL)에 대한 응용성을 크게 확보할 수 있다. 그 때문에, 기준전위(VBH, VBL)를 가변으로 할 수 있어, D/A 변환시 출력전압의 변조를 할 수 있어, 예컨대, 상기 D/A 변환회로를 데이터신호선 구동회로에 사용하면 액정 표시 장치의 γ 보정 등에 이용할 수 있다.

상기 제5 실시예의 D/A 변환회로에서는, 제2 실시예와 같이, CMOS 이비로그 스위치(CM11~CM1n, CM21~CM2n)의 N 채널형 트랜지스터 및 P 채널형 트랜지스터의 게이트폭(W)을 변경함으로써 소정의 구동능력을 확보할 수 있다.

(제6 실시예)

도6은 본 발명의 제6 실시예의 전하배분용의 D/A 변환회로의 구성을 나타낸 도면이다.

도6에 나타난 바와 같이, 상기 D/A 변환회로는, 전하배분용의 커패시터(C1~C8), 상기 각 커패시터(C1~C8)의 일단에 기준전위(V1, V2)의 어느 하나를 접속하는 이비로그 스위치회로(ANSC5), 및 상기 커패시터(C1~C8)의 공통으로 접속된 타단의 전위를 증폭하여 출력하는 출력회로(BUF)를 구비하고 있다.

상기 이비로그 스위치회로(ANSC5)는, 각 전하배분용의 커패시터(C1~C8)의 일단과 기준전위(V1)의 접속/비접속을 바꾸는 N 채널형 트랜지스터(Mn1~Mn8), 및 각 전하배분용의 커패시터(C1~C8)의 일단과 기준전위(V2)의 접속/비접속을 바꾸는 P 채널형 트랜지스터(Mp1~Mp8)로 구성되어 있다. 상기 N 채널형 트랜지스터(Mn1~Mn8) 각각 및 P 채널형 트랜지스터(Mp1~Mp8) 각각의 게이트에는, 정상의 디지털신호(Bit1~Bitn)가 공급된다. 또한, 각 트랜지스터의 게이트폭(W)은 다음과 같다:

Mn1, Mp1	:	6 μm
Mn2, Mp2	:	12 μm
Mn3, Mp3	:	24 μm
Mn4, Mp4	:	47 μm
Mn5, Mp5	:	90 μm
Mn6, Mp6	:	169 μm

Mn7, Mp7 : 289 μ m
Mn8, Mp8 : 384 μ m.

상기 D/A 변환회로에서는, **아날로그 스위치의 구동능력의 비로서 표 1에 나타난 각 아날로그 스위치에 대한 최대 접속 커패시턴스비를 사용한다.**

또한, 상기 커패시터(C1~C8)에는, **디지털신호의 최하위비트(Bit1)에서 최상위비트(Bit8)까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$ 의 비율로 증가하도록 커패시턴스를 변경시키고, 커패시터(C1)의 커패시턴스를 CA로 하면, 커패시터(C2~C8)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA, 32CA, 64CA, 128CA이다.**

상기 D/A 변환회로에서, 기준전위를 각각 0 V/5 V로 하고, 디지털신호의 하이 레벨의 전압을 15 V, 로우레벨의 전압을 10 V, 기본 커패시턴스를 1 pF로 한 경우의 각종 입력 디지털신호에 대한 출력전압의 시뮬레이션 결과를 도7에 나타내고 있다. 또한, 비교를 위해, 각 아날로그 스위치의 구동능력을 최상위 비트용 아날로그 스위치에 필요한 구동 능력에 기초하여 설정한, 도18에 나타난 종래의 D/A 변환회로와 동일 조건에서의 시뮬레이션 결과를 도19에 나타내고 있다.

도7과 도19의 비교로부터 분명한 바와 같이, 아날로그 스위치의 구동능력을 순차 커지도록 변경시킴으로써, 전하배분용의 커패시터 충전시 초기전하배분에 있어서의 소량의 전압이상으로 출력 전압이 상승하는 "오버슈트"를 막아, 충전전류가 흐르는 방향을 각 전하배분용의 커패시터에 대해 일정하게 할 수 있는 것을 알 수 있다.

또한, 상기 D/A 변환회로에서는, 구동능력비에 각 아날로그 스위치에 대한 최대 접속 커패시턴스비를 사용하고 있지만, 이 때 트랜지스터의 0차항을 고려함으로써, 각 커패시터(C1~C8)의 충전전류가 흐르는 방향을 일정하게 할 수 있어, 충전시간을 균일하게 할 수 있다. 또한, 각 커패시터(C1~C8)에 대응하는 아날로그 스위치를 구성하는 트랜지스터의 게이트-드레인 사이의 커패시턴스에 의해 발생하는 전압의 영향도 각 커패시턴스치에 대해 동일하게 설정할 수 있다. 이는 전하배분용의 커패시터(C1~C8)의 충전시의 피크 출력 전압에 의해 도시된다.

도8은 상기 제6 실시예의 D/A 변환회로에서의 하위 4비트(Bit1~Bit4)분의 레이아웃을 나타내고 있다. 도8에 있어서, 참조부호(V1L)는 기준전위(V1)용 배선, 참조부호(V2L)는 기준전위(V2)용 배선, 참조부호(BL)는 디지털신호선의 배선이다. 이 레이아웃에 있어서 전하배분용의 커패시터(C1~C4)는 유전체 상기 유전체를 사이에 삽입하고 있는 2중의 상이한 금속층으로 구성되어 있고, 그 커패시턴스는 면적에 의해 임의로 조정된다. 또한, 전하배분용의 커패시터(C1, C2, C3, C4, ...)의 면적을 1:2:4:8...로 하는 것에 의해 그 커패시턴스비에 있어서도 동일한 비를 얻고 있다. 또한, 각각의 커패시터(C1, C2, C3, C4, ...)에 접속되는 아날로그 스위치를 구성하는 트랜지스터(Mn1, Mp1, ..., Mn4, Mp4, ...)에 있어서, 각 아날로그 스위치에 대응하는 최대 접속 커패시턴스에 따라 그 구동능력을 결정하는 게이트폭(W)이 순차 증가하도록 변경된다. 이에 의해 레이아웃 면적을 축소할 수 있다.

(제7 실시예)

도9는 이 발명의 제7 실시예의 화상표시장치의 구성을 나타낸 도면이고, 상기 화상표시장치는, 설명을 간략화하기 위해 3행 4열의 화소배열이라고 하고 있다.

도9에 나타난 바와 같이, 복수의 화소(PIX)가 매트릭스 형태로 배열된 화소어레이(PIXARY), 주사선호선 구동회로(GD), 데이터선호선 구동회로(SD), 화소(PIX)의 행방향으로 배열된 복수의 주사선호선(GL1~GL3), 화소(PIX)의 열방향으로 배열된 복수의 데이터선호선(SL1~SL4), 상기 주사선호선 구동회로(GD)와 데이터선호선 구동회로(SD)를 제어하는 제어회로(CTL), 및 상기 주사선호선 구동회로(GD) 및 데이터선호선 구동회로(SD)에 기준전위를 공급하는 전원회로(SPL)를 구비하고 있다. 상기 화상표시장치는, 화소어레이(PIXARY)와 데이터선호선 구동회로(SD) 및 주사선호선 구동회로(GD)를 1개의 절연성기판(SUB) 상에 형성하고 있다.

또한, 상기 데이터선호선 구동회로(SD)는, 제어회로(CTL)에 의해 생성된 클럭신호(CKS), 개시신호(SPS) 등의 타이밍신호에 동기하여, 입력된 디지털 화상데이터인 디지털신호(DAT)를 샘플링하고, 필요에 따라 증폭하여, 각 데이터선호선(SL1~SL4)에 아날로그 화상데이터인 데이터신호를 출력한다. 상기 주사선호선 구동회로(GD)는, 제어회로(CTL)에 의해 생성된 클럭신호(CKG) 등의 타이밍신호에 동기하여 주사선호선(GL1~GL3)을 순차 선택하고, 각 화소(PIX) 내에 있는 반도체 스위칭소자를 ON/OFF함으로써, 각 데이터선호선(SL1~SL4)에 기입된 데이터신호를 각 화소(PIX)에 기입하고, 각 화소(PIX) 내의 커패시터에 의해 기입된 데이터신호를 유지한다.

이와 같이, 화소어레이(PIXARY), 주사선호선 구동회로(GD) 및 데이터선호선 구동회로(SD)를 동일 절연성기판상에 모노리틱하게 형성하는 것에 의해, 상기 구동회로들을 화소어레이로부터 따로 형성하여 함께 조립하는 경우보다, 구동회로의 제조비용이나 설치비용의 절감을 꾀할 수 있는 동시에, 접속부의 수를 감소시킴으로써 신뢰성의 향상에도 효과가 있다.

도10은 도9에 나타난 드라이버 모노리틱 화상표시장치에 있어서의 데이터선호선 구동회로에 상기 발명을 적용한 경우의 데이터선호선 1개당 기본블록의 도면을 나타내고 있다.

상기 데이터선호선 구동회로는, 도10에 나타난 바와 같이, 1단 즉, 1개의 데이터선호선(SL)마다 1개의 주사회로(SR), 입력되는 디지털신호(DAT1~DATn)의 하이(High)레벨/로우(Low)레벨 및 주사회로(SR)에서의 출력에 따라 스위칭 동작을 행하는 스위칭회로(SWC), 입력되는 디지털신호의 최하위 비트로부터 최상위 비트까지 $2^0:2^1:2^2:2^3:2^4:2^5:2^6:2^7$ 의 면적비율, 즉 커패시턴스 비율의 커패시터(C1~Cn)를 갖는 커패시터 어레이(CAPARY), 및 상기 커패시터 어레이(CAPARY)의 커패시터(C1~Cn)에 각각 유전된 전하량에 따라 상기 데이터선호선(SL)에 임의의 데이터신호를 출력하는 출력회로(BUF)를 구비하고 있다. 상기 스위칭회로(SWC), 커패시터 어레이(CAPARY) 및 출력회로(BUF)에서 전하배분형의 D/A 변환회로를 구성하고 있다.

상기 스위칭회로(SWC)는, 주사회로(SR)의 출력신호가 일방의 입력단자에 각각 입력되고, 디지털신

호(DAT1~DATn)가 타방의 입력단자에 각각 입력된 부정 논리곱 회로(NAND1~NANDn), 및 상기 부정 논리곱 회로(NAND1~NANDn)의 출력단자가 제어입력단자에 각각 접속되고, 출력단자가 커패시터(C1~Cn)의 일단에 각각 접속된 스위치(SW1~SWn)로 구성되어 있다. 상기 각 스위치(SW1~SWn)의 일방의 입력단자에 D/A 변환용의 기준전위(V1)를 각각 접속하고, 스위치(SW1~SWn)의 타방의 입력단자에 별도의 기준전위(V2)를 접속하고 있다.

도10에 나타난 바와 같이, 외부, 즉 제어회로(CTL)로부터 공급되는 클럭신호(CKS)에 동기하여 개시신호(SPS)를 순차 전송하는 주사회로(SR)의 출력을 인에이블 신호로서 사용하며, 클럭신호(CKS)에 동기 한 소정기간에 외부에서 입력되는 디지털신호(DAT1~DATn)의 각 비트를, D/A 변환회로내의 디지털로그 스위치(SW1~SWn)에 의해 변환하여, 커패시터가 순차 증가하는 커패시터 어레이에 의해 전하가 배분되어 디지털신호(DAT1~DATn)에 따른 출력전위가 생성된다. 그 후, 상기 얻어진 전위를 출력회로(BUF)에 의해 전류증폭하며, 데이터신호선(SL)과의 접속/비접속을 바꾸는 스위치 TRFG를 통해, 데이터신호기입용의 전송신 호(TRFS)에 동기하여 데이터신호선(SL)에 데이터신호가 출력된다.

본 발명의 D/A 변환회로를 사용함으로써, 작은 면적으로 고정밀도인 데이터신호선 구동회로를 얻 을 수 있다.

또한, 도11은 상기 화상표시장치를 구성하는 다결정실리콘 박막트랜지스터의 구조를 나타낸 단면 도이다. 상기 다결정실리콘 박막트랜지스터는, 도11에 나타난 바와 같이, 절연성기판(1), 그 절연성기판 (1)상에 형성된 실리콘산화막(2), 및 상기 실리콘산화막(2)상에 형성된 결정실리콘 박막으로 이루어지는 채널영역(3), 소스영역(4) 및 드레인영역(5), 상기 채널영역(3), 소스영역(4) 및 드레인영역(5)을 덮도록 형성된 게이트절연막(6), 상기 채널영역(3)에 대응하는 게이트절연막(6)상에 형성된 게이트전극(7), 게이트 전극(7) 및 게이트절연막(6)상에 형성된 층간절연막(8), 및 상기 소스영역(4) 및 드레인영역(5)에 접속된 금속배선(9)을 구비하고 있다. 상기 다결정실리콘 박막트랜지스터는, 절연성기판상의 다결정실리콘 박 막을 활성층으로 하는 포워드 스택거(탑 게이트) 구조이지만, 본 발명은 이에 한정되지 않고, 리버스 스택 거 구조 등의 다른 구조라도 좋다.

상기 다결정실리콘 박막트랜지스터를 사용함으로써, 실용적인 구동능력을 갖는 주사신호선 구동회 로, 데이터신호선 구동회로, 및 화소어레이를 동일기판상에 거의 동일한 제조공정으로 모놀리틱하게 형성 할 수 있다.

도12~도14는 상기 다결정실리콘 박막트랜지스터의 제조공정을 나타낸 단면도이다. 이하에, 600℃ 이하에서 다결정실리콘 박막트랜지스터를 형성할 때의 제조프로세스에 관해 설명한다.

우선, 도12a 및 12b에 나타난 바와 같이, 유리기판(11)상에 비정질실리콘 박막(12)을 퇴적한다.

다음에, 도12c에 나타난 바와 같이, 엑시머레이저를 조사하여, 다결정실리콘 박막(12a)을 형성한 다.

다음에, 도12d에 나타난 바와 같이, 상기 다결정실리콘 박막(12a)을 소망의 형상으로 패터닝하여, 다결정실리콘 영역(13)을 형성한다.

그 후, 도12e에 나타난 바와 같이, 이산화실리콘으로 이루어지는 게이트절연막(14)을 기판 전체 또는 웨이퍼를 덮도록 형성한다.

또한, 도13a에 나타난 바와 같이, 게이트절연막(14)상에 박막트랜지스터의 게이트전극(15)을 알루미늄 등으로 형성한다.

다음에, 도13b에 나타난 바와 같이, 도면에서 좌측 절반부에 레지스트(16)를 형성하고, 다결정실 리콘영역(13)에 불순물(n형 영역에는 인)을 주입하여, 박막트랜지스터의 소스영역(13a)과 드레인영역(13 b)을 형성한다.

또한, 도13c에 나타난 바와 같이, 도면에서 좌측 절반부에 레지스트(17)를 형성하고, 다결정실리 콘영역(13)에 불순물(p형 영역에는 붕소)을 주입하여, 박막트랜지스터의 소스영역(13c)과 드레인영역(13 d)을 형성한다.

그 후, 도13d에 나타난 바와 같이, 이산화실리콘 또는 질화실리콘 등으로 이루어지는 층간절연막 (18)을 퇴적한다.

다음에, 도14a에 나타난 바와 같이, 층간절연막(18) 및 게이트절연막(14)에 콘택트홀(19)을 형성 한 후, 도14b에 나타난 바와 같이, 알루미늄 등의 금속배선(20)을 형성한다.

상기 각 공정에서, 프로세스의 최고온도는, 게이트절연막(14)을 형성할 때의 600℃이기 때문에, 절연성기판으로서 미국 코닝사의 1737 유리 등의 고내열성 유리를 사용할 수 있다.

또, 다음, 액정 표시 장치에서는, 별도의 층간절연막상에 투명전극(투과형 액정 표시 장치의 경우)이나 반사전극(반사형 액정 표시 장치의 경우)을 형성한다.

여기서, 도12~도14에 나타난 제조공정에서, 다결정실리콘 박막트랜지스터를 600℃ 이하에서 형 성함으로써, 염가로 대면적의 유리기판을 사용할 수 있기 때문에, 화상표시장치의 저가격화와 대면적화가 실현된다.

(제8 실시예)

도15는 본 발명의 제8 실시예에 따른 전하 배분용 D/A 변환회로의 기본 구성을 개략적으로 도시한다.

도15에 도시한 바와 같이, 상기 D/A 변환회로는, 전하 배분용 커패시터(C1, C2, C3, C4 ...), 상기 각 커패 시터(C1, C2, C3, C4 ...)의 일단에 기준전위(V1) 또는 기준전위(V2) 중 어느 하나를 접속하는 아날로그 스 위치 회로(ANSC6), 및 상기 커패시터(C1, C2, C3, C4, ...)의 공통 접속된 타단의 전위를 증폭하는 OP 앰프

(OP)를 포함한다.

상기 커패시터(C1, C2, C3, C4, ...)는, 최하위 비트(Bit1)로부터 최상위 비트(Bitn)로 디지털 신호의 비트 위치의 증가순으로, $2^0 : 2^1 : 2^2 : 2^3 \dots$ 의 비율로 증가하도록 변화되는 각 커패시턴스를 갖는다. 따라서, 커패시터(C1)의 커패시턴스를 CA라 하면, 커패시터(C2, C3, C4, ...)의 커패시턴스는 각각 2CA, 4CA, 8CA, ...이다.

상기 아날로그 스위치회로(ANSC6)에서는, 디지털 신호의 최하위 비트(Bit1)에 대응하는 아날로그 스위치의 1개의 N 채널형 트랜지스터(Mn1)는 기준전위(V1)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속하고, 1개의 P 채널형 트랜지스터(Mp1)는 기준전위(V2)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다. 디지털 신호의 2번째 최하위 비트(Bit2)에 대응하는 아날로그 스위치에서, 2개의 N 채널형 트랜지스터(Mn2A, Mn2B)는 기준전위(V1)에 전하 배분용 커패시터(C2)의 일단을 접속/비접속하고, 2개의 P 채널형 트랜지스터(Mp2A, Mp2B)는 기준전위(V2)에 전하 배분용 커패시터(C2)의 일단을 접속/비접속한다. 유사한 방법으로, 디지털 신호의 상위 비트(Bit3, Bit4, ...)에 대해, N 채널형 트랜지스터 및 P 채널형 트랜지스터의 수를 4, 8, ...로 각각 증가시킨다. 상기 N 채널형 트랜지스터(Mn1, Mn2A, Mn2B, ...) 및 P 채널형 트랜지스터(Mp1, Mp2A, Mp2B, ...)의 게이트에는, 디지털 신호(Bit1~Bitn)가 공급된다.

상기 D/A 변환회로에서, 각 N 채널형 트랜지스터(Mn1, Mn2A, Mn2B, ...) 및 P 채널형 트랜지스터(Mp1, Mp2A, Mp2B, ...)의 게이트 폭은, 커패시턴스가 가장 작은 커패시터에 직접 접속되는 최하위 비트에 대한 N 채널형 트랜지스터(Mn1) 및 P 채널형 트랜지스터(Mp1)의 게이트 폭과 동일하도록 설정된다. 그 후, 동일한 게이트 폭을 갖는 필요한 수의 트랜지스터를, 상기 각 비트에 대응하는 아날로그 스위치의 구동능력이 아날로그 스위치 회로(ANSC6)내에서 순차 커지도록, 병렬 접속한다.

상기 각 아날로그 스위치 회로(ANSC6)를 구성하는 반도체 소위칭 소자로서의 N 채널형 트랜지스터(Mn1, Mn2A, Mn2B, ...) 및 P 채널형 트랜지스터(Mp1, Mp2A, Mp2B, ...)의 게이트 폭을 균일화하는 것에 의해, 제조공정에서 야기되는 마스크 시프트량과 애칭 시프트량의 영향을 상기 트랜지스터에 대해 균일하게 할 수 있다. 따라서, 트랜지스터의 특성 변동을 억제할 수 있다.

도16은 상기 제8 실시예의 D/A 변환회로 내의 하위 4비트(Bit1~Bit4)의 레이아웃을 도시한다. 도16을 참조하면, 참조부호(V1L)는 기준전위(V1)용 전기 배선을 나타내고, V2L은 기준전위(V2)용 전기 배선을 나타내고, BL은 디지털 신호용 전기 배선을 나타낸다. 상기 레이아웃에서, 전하 배분용 커패시터(C1~C4)는, 각각 유전체로 구성되며, 2종류의 다른 금속층 사이에 상기 유전체를 끼워 넣는다. 커패시터(C1, C2, C3, C4)의 커패시턴스는 그 면적에 의해 조정된다. 전하배분용 커패시터(C1, C2, C3, C4, ...) 사이의 면적 비율을 1: 2: 4: 8 ...로 설정하여, 면적 비율과 동일한 커패시턴스비를 얻는다.

상기 제8 실시예에서는, N 채널형 트랜지스터와 P 채널형 트랜지스터를 사용하는 구성이 사용되지만, 다른 트랜지스터 구성을 사용해도 좋다. 또한, 트랜지스터가 직접 접속되는 조합된 커패시터의 커패시턴스에 비례하도록 한다. 이와 달리, 각 아날로그 스위치의 N 채널형 트랜지스터/P 채널형 트랜지스터의 수를, 표1에 나타난 최대 접속 커패시턴스, 또는 실측 또는 시뮬레이션에 의해 얻어진 이동 전하량에 따라 결정할 수 있다. 이 경우에도, 유사한 효과를 얻을 수 있다.

(제9 실시예)

도17은 본 발명의 제9 실시예에 따른 전하 배분용 D/A 변환회로의 기본 구성을 개략적으로 도시한다. 상기 도면에는 제조 프로세스 조건 등의 팩터에 의해 트랜지스터의 게이트 폭에 상한이 있는 아날로그 스위치의 구성을 도시한다.

도17에 도시한 바와 같이, 상기 D/A 변환회로는, 전하 배분용 커패시터(C1, C2, C3, C4, C5, ...), 상기 각 커패시터(C1, C2, C3, C4, C5, ...)의 일단에 기준전위(V1) 또는 기준전위(V2)를 접속하는 아날로그 스위치 회로(ANSC7), 및 상기 커패시터(C1, C2, C3, C4, C5, ...)의 공통 접속된 타단의 전위를 증폭하여 증폭 전위를 출력하는 OP 앰프(OP)를 포함한다.

상기 커패시터(C1, C2, C3, C4, C5, ...)는 각 커패시턴스가 변화되어, 디지털 신호의 최하위 비트(Bit1)로부터 최상위 비트(Bitn)의 비트 위치의 증가순으로, $2^0 : 2^1 : 2^2 : 2^3 \dots$ 의 비율로 증가된다. 따라서, 커패시터(C1)의 커패시턴스를 CA라 하면, 다른 커패시터(C2, C3, C4, C5, ...)의 커패시턴스는 각각 2CA, 4CA, 8CA, 16CA 이다.

상기 아날로그 스위치회로(ANSC7)에서, 비트(Bit1)에 대응하는 아날로그 스위치의 N 채널형 트랜지스터(Mn1)는 기준전위(V1)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속하고, P 채널형 트랜지스터(Mp1)는 기준전위(V2)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다.

비트(Bit2)에 대응하는 아날로그 스위치에서, N 채널형 트랜지스터(Mn2)(게이트 폭이 트랜지스터(Mn1)의 2배)는 기준전위(V1)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다. 또한, P 채널형 트랜지스터(Mp2)(게이트 폭이 트랜지스터(Mp1)의 2배)는 기준전위(V2)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다.

비트(Bit3)에 대응하는 아날로그 스위치에서, N 채널형 트랜지스터(Mn3)(게이트 폭이 트랜지스터(Mn1)의 4배)는 기준전위(V1)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다. 또한, P 채널형 트랜지스터(Mp3)(게이트 폭이 트랜지스터(Mp1)의 4배)는 기준전위(V2)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다.

비트(Bit4)에 대응하는 아날로그 스위치에서, 2개의 N 채널형 트랜지스터(Mn4A, Mn4B)(게이트 폭이 트랜지스터(Mn1)의 4배)는 기준전위(V1)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다. 한편, 2개의 P 채널형 트랜지스터(Mp4A, Mp4B)(게이트 폭이 트랜지스터(Mp1)의 4배)는 기준전위(V2)에 전하 배분용 커패시터(C1)의 일단을 접속/비접속한다. 유사한 방법으로, 다음 아날로그 스위치의 디지털 신호의 비트마다, N 채널형 트랜지스터의 수 및 P 채널형 트랜지스터의 수를 2배로 한다. 상기 N 채널형 트랜지스터(Mn1, Mn2, Mn3, Mn4A, Mn4B, ...) 및 P 채널형 트랜지스터(Mp1, Mp2, Mp3, Mp4A, Mp4B, ...)의 각 게이트에는,

디지털 신호(Bit1, Bit2, Bit3, Bit4, Bit5, ...)가 공급된다.

상기 트랜지스터의 게이트 폭이 규정된 사이즈(즉, 트랜지스터(Mn1, Mp1)의 게이트 폭의 4배)에 도달할 때 까지, 상기 아날로그 스위치를 구성하는 반도체 트랜지스터의 게이트 폭을 순차 변화시킴으로써, 아날로그 스위치의 구동능력이 증가된다. 규정된 게이트 폭 이상의 게이트 폭을 갖는 트랜지스터에 의해 제공되는 구동능력을 갖도록 요구되는 각 아날로그 스위치에서, 규정된 게이트 폭을 갖는 순차 증가된 수의 트랜지스터를 병렬로 접속하는 것에 의해, 구동능력이 순차 증가된다.

디지털 신호의 비트(Bit4) 및 그 상위 비트에 대응하는 아날로그 스위치에서, 병렬 접속된 N 채널형 트랜지스터(Mn4A, Mn4B, ...) 및 P 채널형 트랜지스터(Mp4A, Mp4B, ...)의 게이트 폭을 균일화하는 것에 의해, 제조공정에서 발생하는 마스크 시프트량과 에칭 시프트량의 영향을 상기 트랜지스터에 대하여 균일화할 수 있다. 따라서, 트랜지스터의 특성 변동을 억제할 수 있다.

상기 제9 실시예에서, N 채널형 트랜지스터와 P 채널형 트랜지스터를 조합하여 사용하지만, 다른 트랜지스터 구성을 사용해도 좋다. 비트(Bit4) 및 그 이후의 비트에 대응하는 아날로그 스위치에서, N 채널형 트랜지스터의 수 및 P 채널형 트랜지스터의 수는, 트랜지스터가 직접 또는 즉시 접속되는, 대응하는 커패시터의 커패시턴스에 비례한다. 즉, 아날로그 스위치의 트랜지스터의 개수비는 대응하는 커패시터의 커패시턴스비에 대응한다. 이와 달리, 표 1에 나타난 최대 접속 커패시턴스, 또는 실속 또는 시뮬레이션에 의해 발견되는 이들 전하량의 비에 따라, 아날로그 스위치의 트랜지스터의 개수비를 결정할 수 있다. 이 경우에도, 유사한 효과를 얻을 수 있다.

발명의 효과

본 발명은 상기 실시예의 구성에 한정되지 않는다. 물론, 본 발명은 신호의 수, 그 종류 및 극성 등을 포함하여, 상기 실시예의 구성을 조합하는 등의 다른 구성에 적용할 수 있다.

상기 설명으로부터 명백하게, 본 발명의 D/A 변환회로에 따르면, 각 아날로그 스위치에 대응하는 최대 접속 커패시턴스에 따라, 또는 트랜지스터의 ON 상태의 저항, 레이아웃상에 존재하는 기생 커패시턴스 등을 고려하여 평가된 필요한 구동능력에 따라, 상기 아날로그 스위치에는 각각 증가되는 구동능력이 주어진다. 따라서, 각 아날로그 스위치에 대해, 각 전하 배분용 커패시터에 대한 충전 방향, 충전 시간 및 레이아웃으로부터 결정되는 최적 구동능력과 실제 설정된 구동능력 사이의 차를 최소화할 수 있다. 따라서, 종래의 D/A 변환회로에 비해, 고정밀도이고 작은 면적을 갖는 D/A 변환회로를 얻을 수 있다. 본 발명의 장점은 하위 비트용 커패시터와 상위 비트용 커패시터 사이에 큰 차이가 있는, 멀티 비트 디지털 신호용 D/A 변환회로에서 좁은 효과적으로 표시된다.

또한, 액정표시장치 등의 휴대형 단말의 화상표시장치에 대한 본 발명의 D/A 변환회로를 사용함으로써, 화상표시장치 사이즈의 축소, 즉 표시 영역을 작게 하지 않고, 그 프레임을 축소할 수 있다. 따라서, 소형의 고품위 화상표시장치를 실현할 수 있다.

이상, 본 발명을 설명하였지만, 본 발명을 여러 가지로 변경할 수 있음은 분명하다. 이와 같은 변경은, 본 발명의 정신과 범위로부터 벗어나지 않고, 당업자에게 자명한 모든 변경은 첨부된 청구범위 내에 속한다.

(5) 청구의 범위

청구항 1

각각의 커패시턴스가 순차 증가하고, 일단이 전기적으로 공통접속된 복수의 커패시터; 및

상기 커패시터의 타단에 외부로부터 입력된 디지털신호에 대응하는 기준전위를 각각 전기적으로 접속하기 위한 복수의 아날로그 스위치를 구비하고,

상기 커패시터의 공통으로 접속된 일단의 전위에 대응하는 아날로그신호를 출력하는 전압 배분형의 D/A 변환회로에 있어서,

상기 복수의 아날로그 스위치의 구동능력이 순차 증가하는 D/A 변환회로.

청구항 2

제1항에 있어서, 상기 아날로그 스위치의 구동능력은, 대응하는 커패시터의 커패시턴스에 따라 설정되는 D/A 변환회로.

청구항 3

제1항에 있어서, 상기 각 아날로그 스위치의 구동능력은, 상기 커패시터를 충전할 때의 각 아날로그 스위치의 최대 접속 커패시턴스에 따라 설정되는 D/A 변환회로.

청구항 4

제1항에 있어서, 상기 아날로그 스위치는 각각, 적어도 N 채널형 트랜지스터 또는 P 채널형 트랜지스터중 적어도 하나를 포함하는 D/A 변환회로.

청구항 5

각각의 커패시턴스가 순차 증가하고, 일단이 전기적으로 공통접속된 복수의 커패시터; 및

상기 커패시터의 각각의 타단에 외부로부터 입력된 디지털신호에 대응하는 기준전위를 전기적으로 접속하기 위한 복수의 아날로그 스위치를 구비하고,

상기 커패시터의 공통으로 접속된 일단의 전위에 대응하는 아날로그 신호를 출력하는 전하배분형

의 D/A 변환회로에 있어서,

상기 복수의 아날로그 스위치는 각각, N 채널형 트랜지스터 또는 P 채널형 트랜지스터중 적어도 하나를 포함하며,

상기 커패시터의 커패시턴스에 따라, 상기 트랜지스터의 게이트폭이 아날로그 스위치를 사이에서 변하는 D/A 변환회로,

청구항 6

각각의 커패시턴스가 순차 증가하고, 일단이 전기적으로 공통접속된 복수의 커패시터; 및

상기 커패시터의 타단에 외부로부터 입력된 디지털 신호에 대응하는 기준전위를 전기적으로 접속하기 위한 복수의 아날로그 스위치를 구비하고,

상기 커패시터의 공통으로 접속된 일단의 전위에 대응하는 아날로그신호를 출력하는 전하배분형의 D/A 변환회로에 있어서,

상기 각각의 아날로그 스위치는, 구동능력이 거의 동일한 반도체 스위칭소자에 의해서 구성되며, 상기 커패시터의 커패시턴스에 따라, 상기 각 아날로그 스위치의 구동능력이 변화도록, 1개의 반도체 스위칭소자 또는 병렬접속된 복수의 반도체 스위칭소자로 이루어지는 D/A 변환회로,

청구항 7

제6항에 있어서, 상기 각 반도체 스위칭소자는, N 채널형 트랜지스터 또는 P 채널형 트랜지스터중 적어도 하나를 포함하고, 반도체 스위칭 소자들의 트랜지스터의 게이트폭은 거의 동일한 D/A 변환회로,

청구항 8

각각의 커패시턴스가 순차 증가하고, 일단이 전기적으로 공통접속된 복수의 커패시터; 및

상기 커패시터의 각각의 타단에 외부로부터 입력된 디지털신호에 대응하는 기준전위를 전기적으로 접속하기 위한 복수의 아날로그 스위치를 구비하고,

상기 커패시터의 공통으로 접속된 일단의 전위에 대응하는 아날로그 신호를 출력하는 전하배분형의 D/A 변환회로에 있어서,

상기 복수의 아날로그 스위치의 각각의 구동능력은 상기 커패시터의 커패시턴스에 따라 변하고;

구동능력이 상기 소정치 이하인 상기 아날로그 스위치는 각각 하나의 반도체 스위칭소자를 갖고, 상기 아날로그 스위치의 반도체 스위칭소자의 구동능력은, 각각의 아날로그 스위치를 통해 충전되는 상기 커패시터의 커패시턴스에 따라 변하며;

구동능력이 상기 소정치 이상인 상기 아날로그 스위치는 각각, 구동능력이 거의 동일하고 상기 소정치 이하인 병렬접속된 복수의 반도체 스위칭소자를 갖는 D/A 변환회로,

청구항 9

제8항에 있어서, 상기 반도체 스위칭소자는 각각, N 채널형 또는 P 채널형의 적어도 하나의 트랜지스터이고, 각 트랜지스터의 구동능력이 게이트폭에 의해 설정되는 D/A 변환회로,

청구항 10

매트릭스 형태로 배열된 복수의 화소;

상기 복수의 화소의 열방향으로 배열된 복수의 데이터 신호선;

상기 복수의 화소의 행방향으로 배열된 복수의 주사신호선;

디지털 화상데이터에 대응하는 아날로그 화상데이터를 상기 데이터신호선에 공급하는 데이터신호선 구동회로, 및

상기 주사신호선에 주사신호를 공급하는 주사신호선 구동회로를 구비한 액티브 매트릭스형 화상표시장치에 있어서,

상기 데이터신호선 구동회로에 청구항 1 내지 9중 어느 하나에 기재된 D/A 변환회로를 포함하는 화상표시장치,

청구항 11

제10항에 있어서, 상기 데이터신호선 구동회로, 상기 주사신호선 구동회로, 및 상기 복수의 화소가 동일기판상에 형성되는 화상표시장치,

청구항 12

제11항에 있어서, 상기 데이터신호선 구동회로, 상기 주사신호선 구동회로, 및 상기 화소에 포함된 능동소자는 다결정실리콘 박막트랜지스터를 포함하는 화상표시장치,

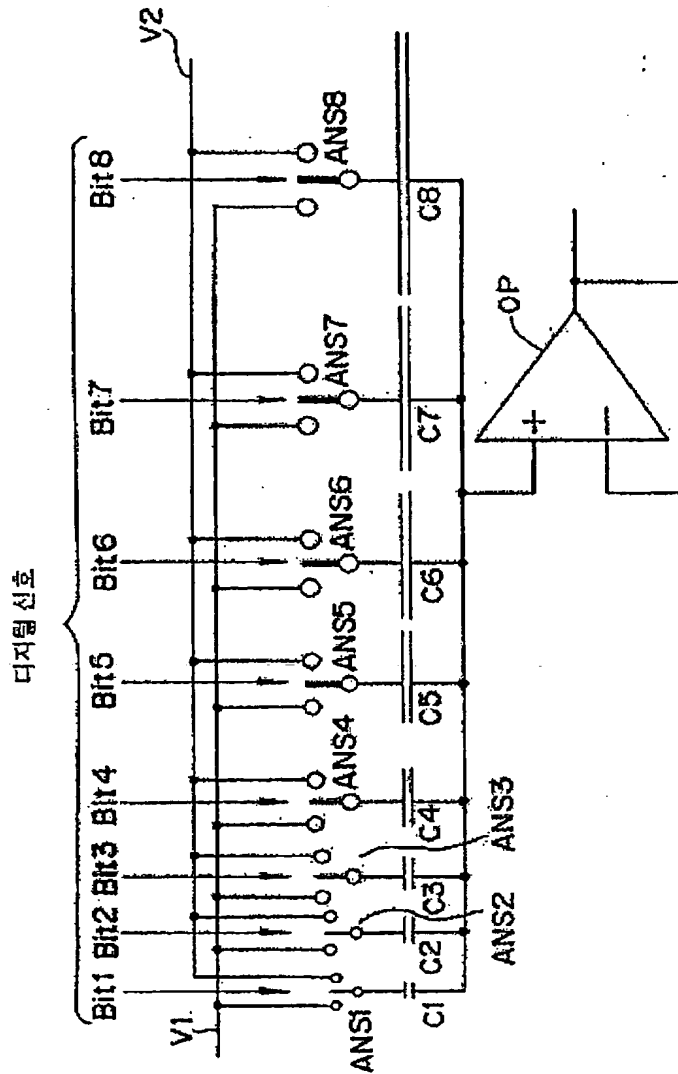
청구항 13

제12항에 있어서, 상기 기판은 유리기판이고, 상기 다결정실리콘 박막트랜지스터는 상기 유리기판

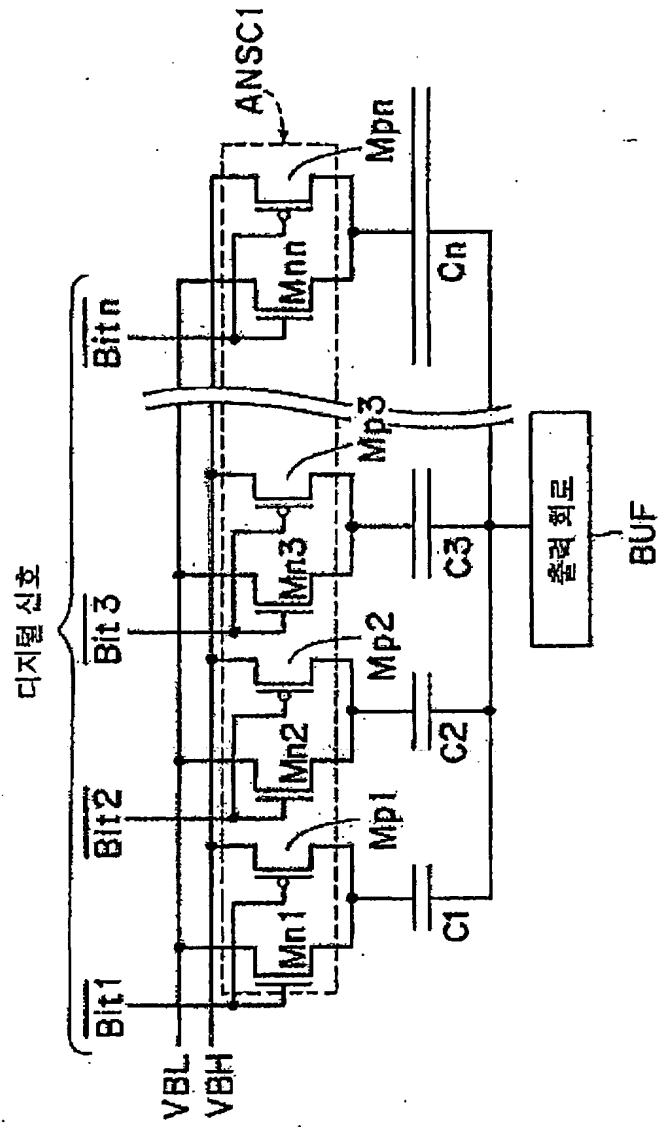
상에 600°C 이하의 제조 프로세스로 형성되는 화상표시장치.

도면

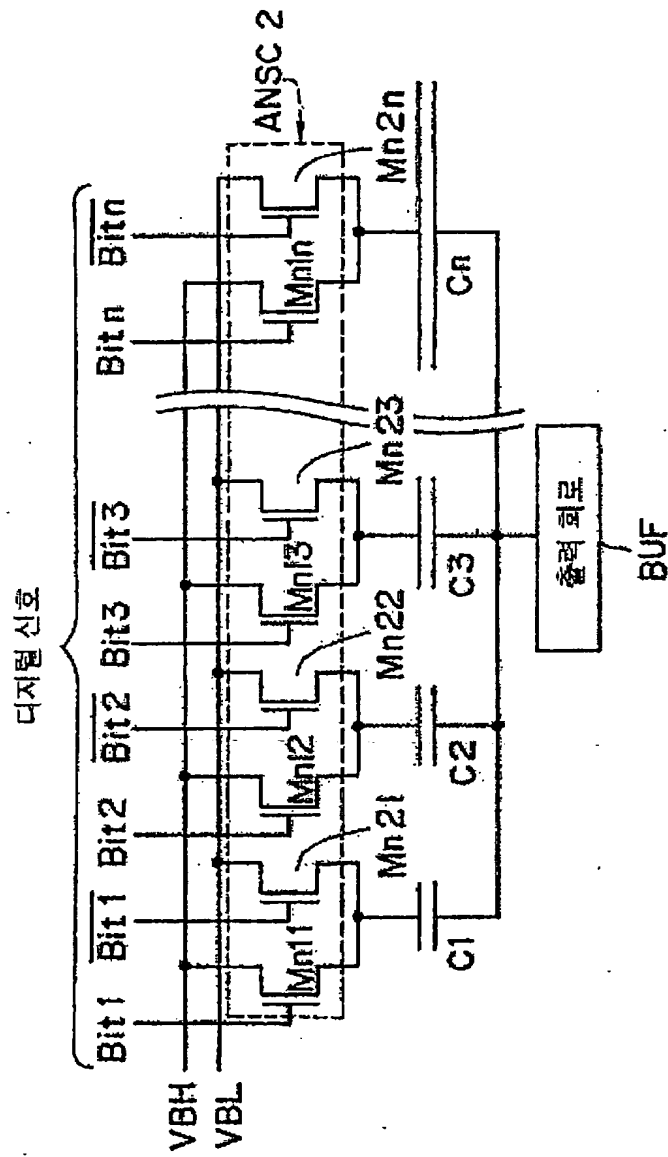
도면1



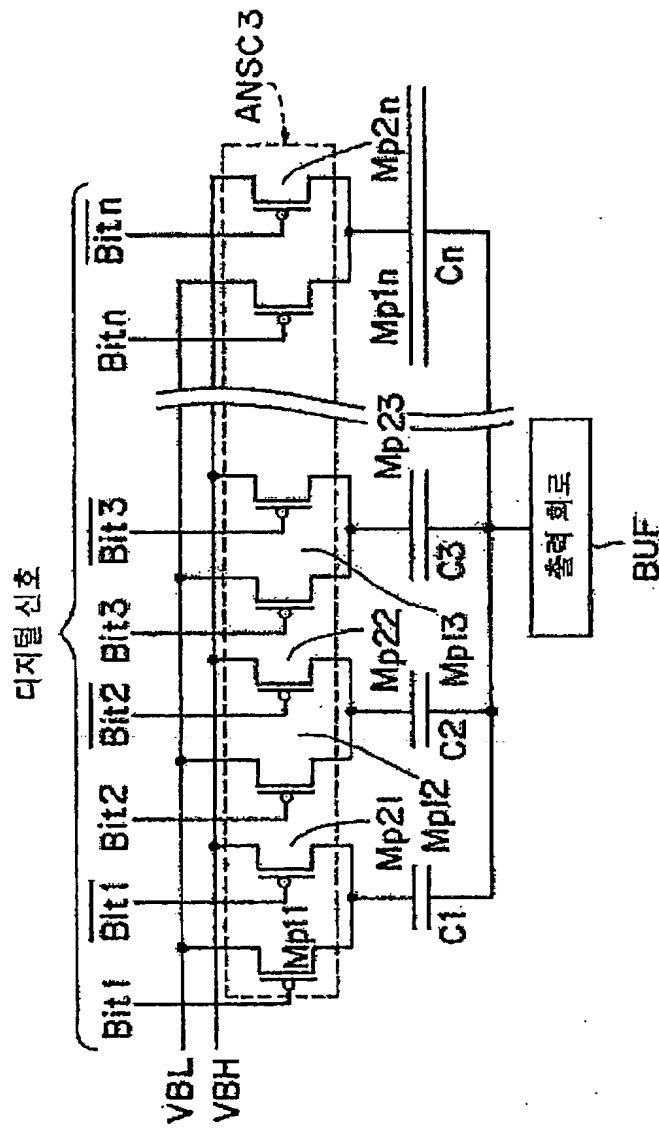
도면2



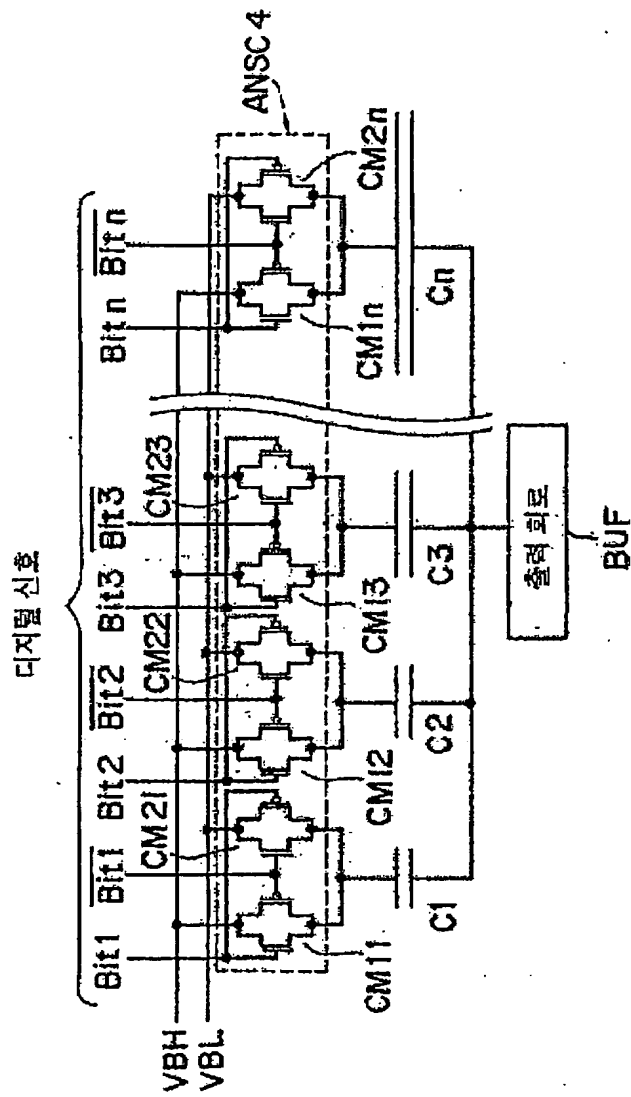
도면 3



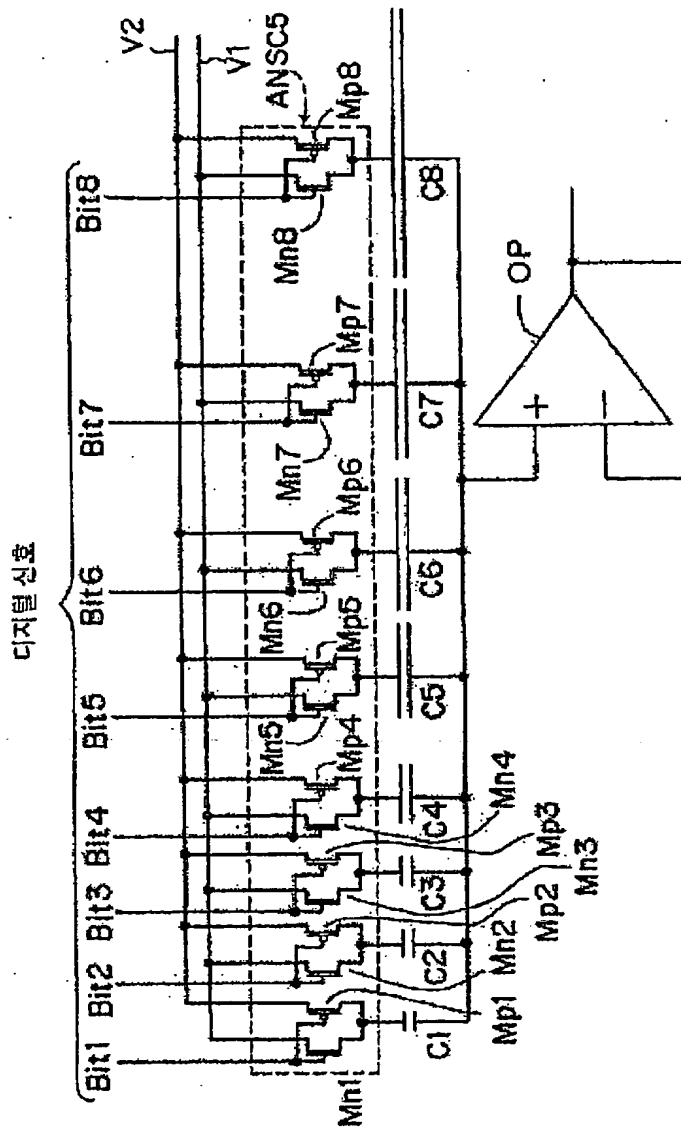
도 34



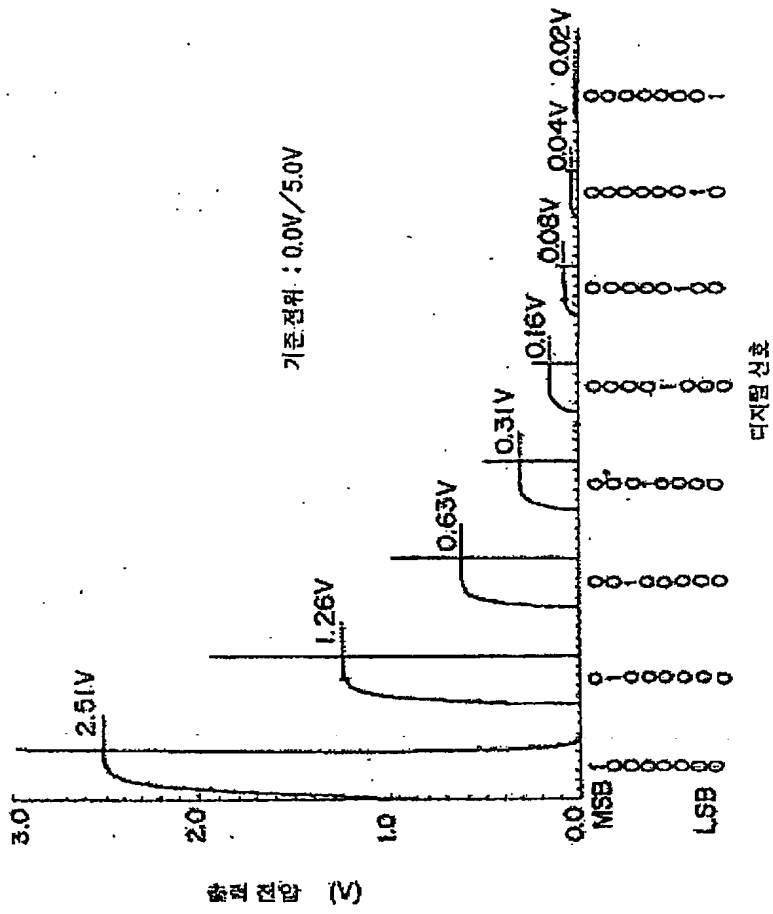
도면5



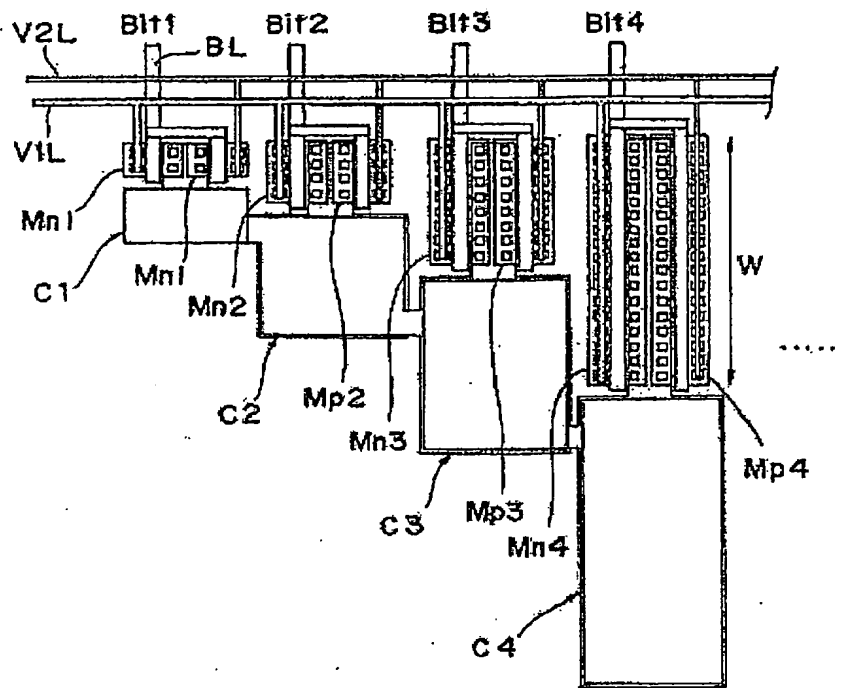
도 8



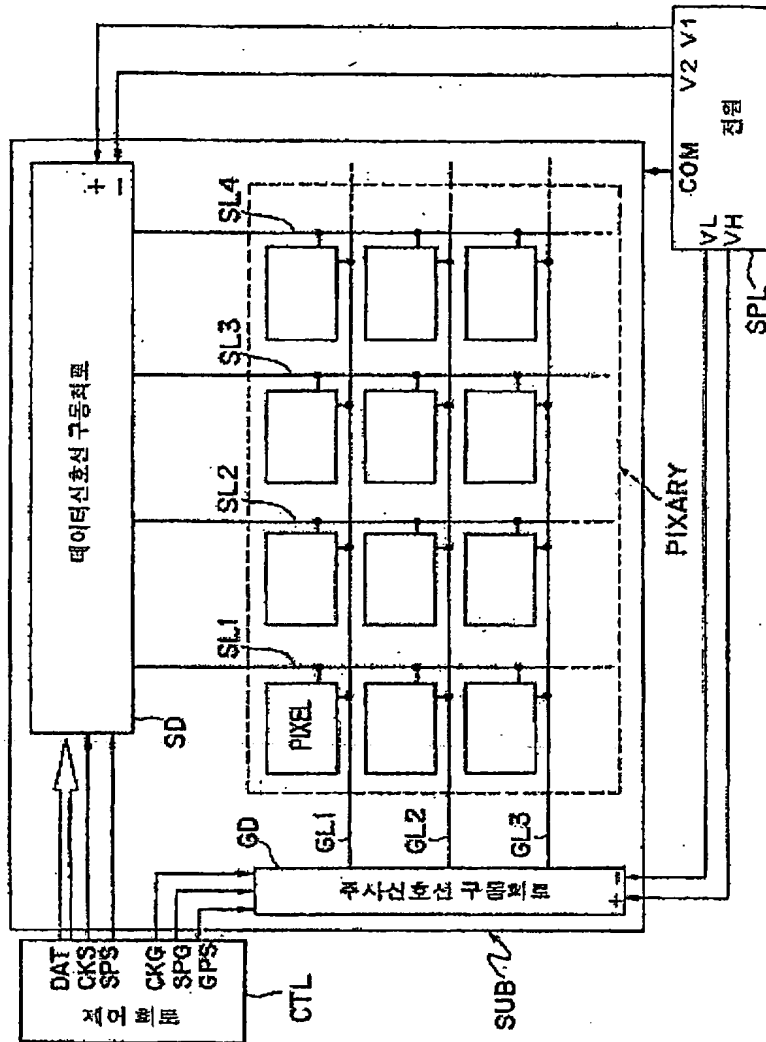
도 7



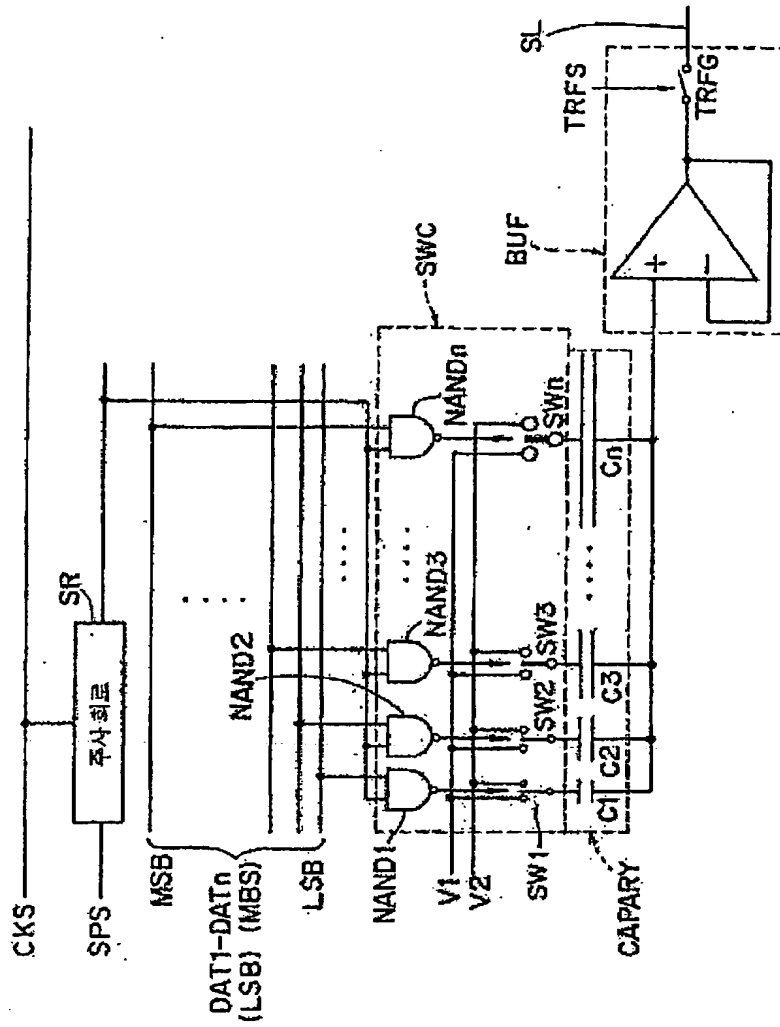
도면8



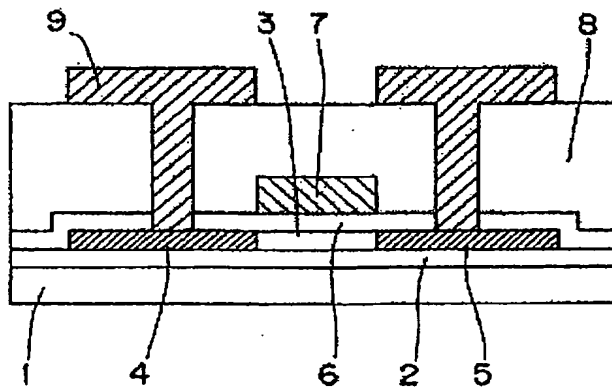
도면



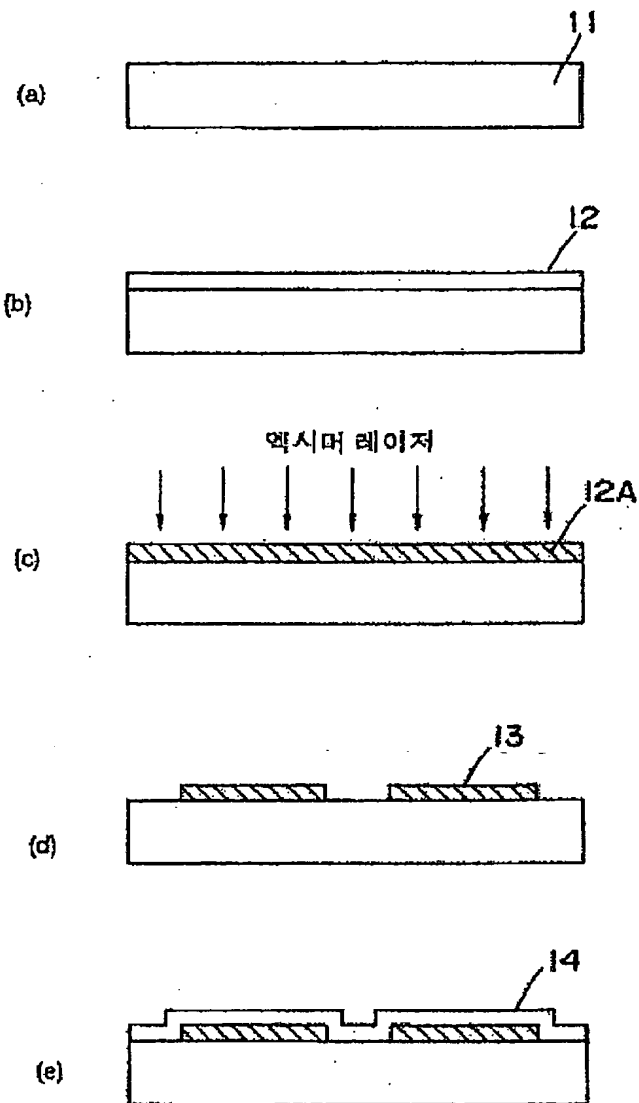
도면 10



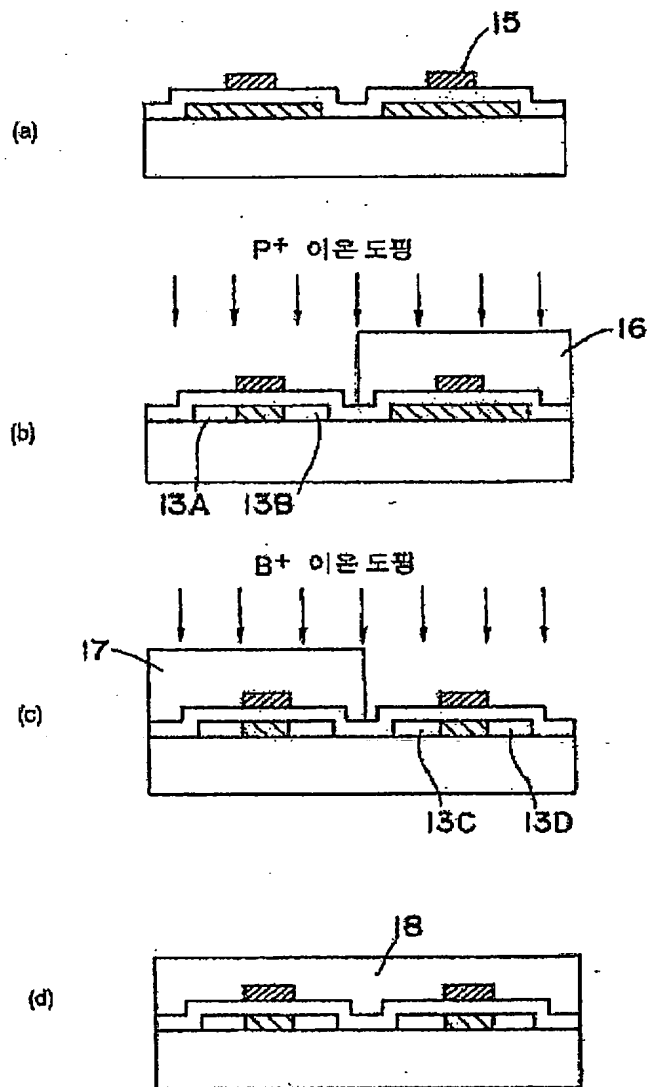
도면 11



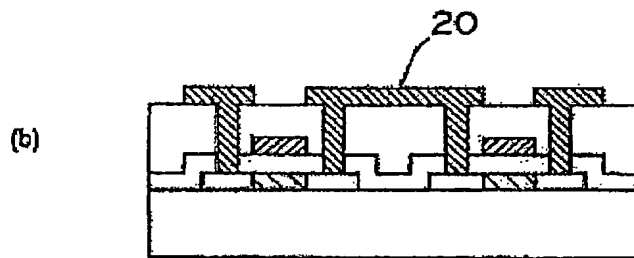
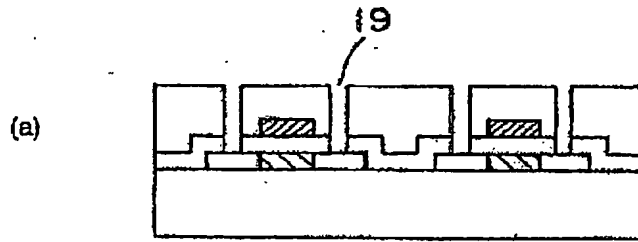
도면 12



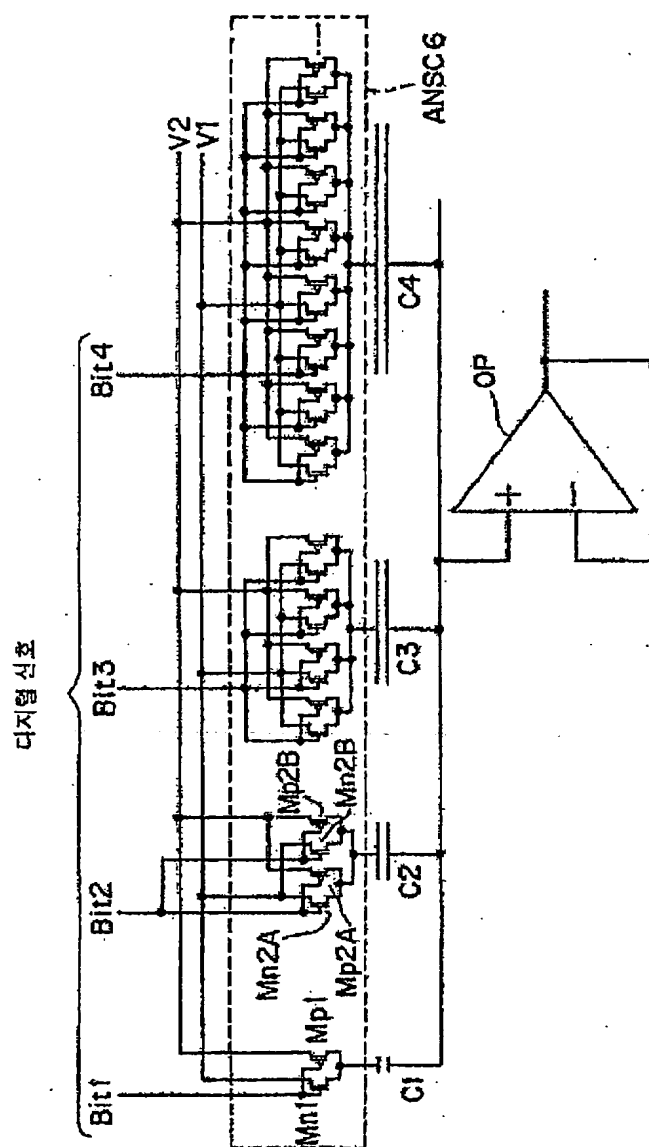
도면 13



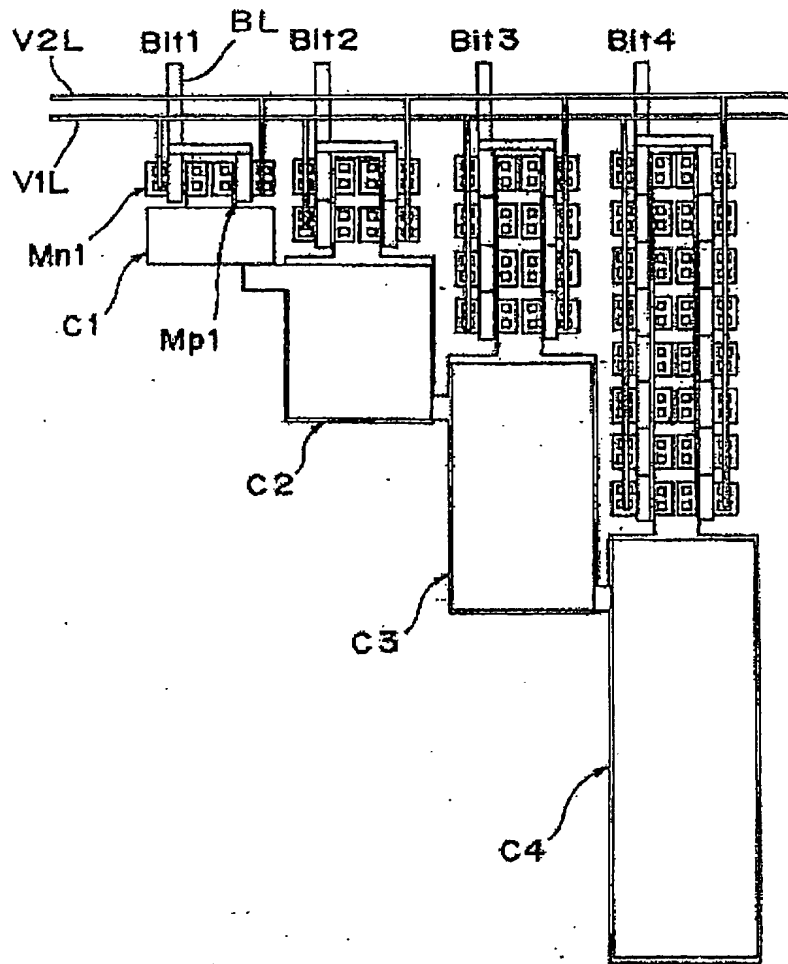
도면 14



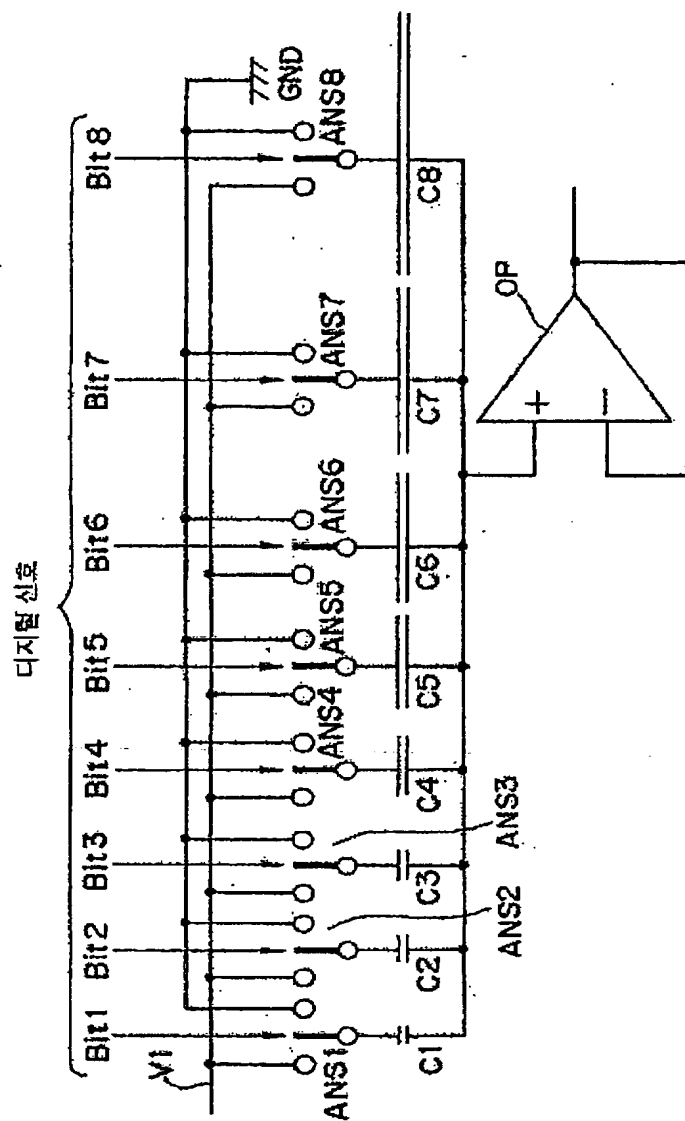
도면 15



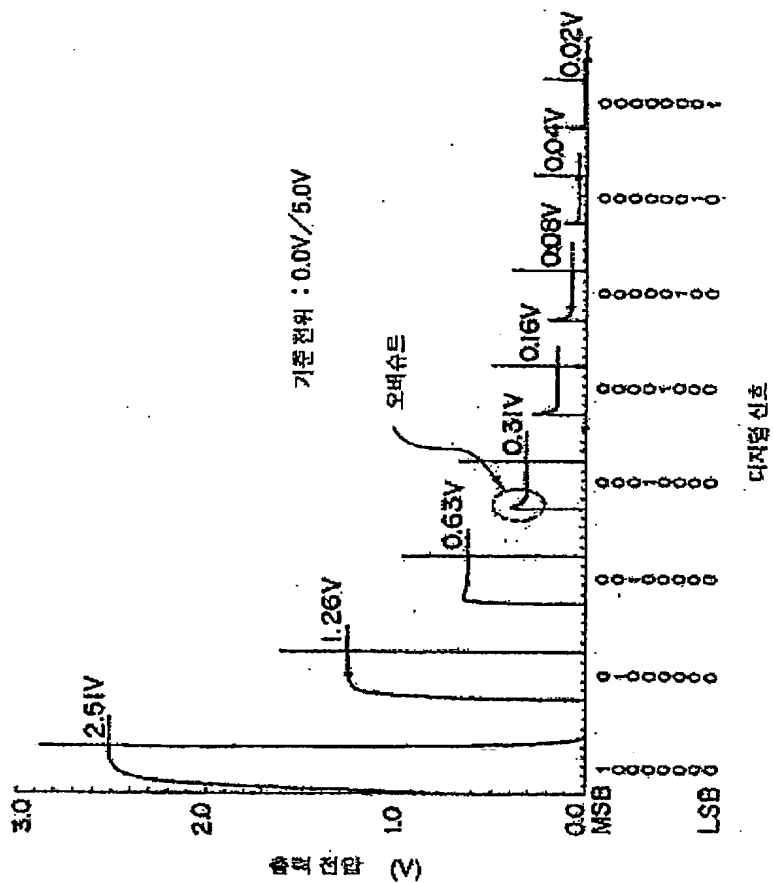
도면 18



도면 18

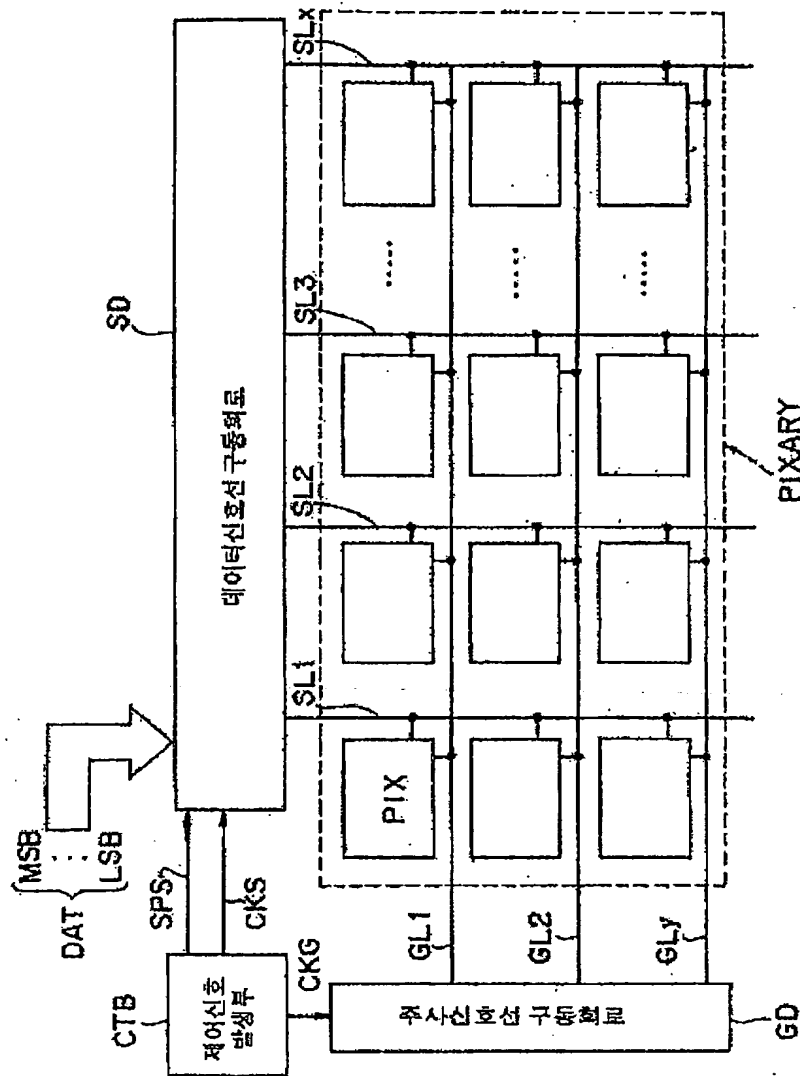


도면 19



도 20

종래 기술



도면 21

해라 기술

